

**Криворожский колледж
Национального авиационного университета
«КРАУСС»**

**Конспект лекций
по учебной дисциплине
*«Цифровые устройства
и микропроцессоры»*
Часть I**

Курсанта _____ группы

**Кривой Рог
2006**

Рецензенты: Бакулин Е.В., Сергеев Н.Г.

Рекомендован цикловой комиссией «Радиоэлектронного оборудования наземных средств обеспечения полетов» КК НАУ «КРАУСС» для проведения лекционных занятий для специальностей 5.090.705 «Техническая эксплуатация радиоэлектронного оборудования воздушных судов», 5.090.706 «Техническая эксплуатация радиоэлектронного оборудования наземных средств обеспечения полетов», 6.090.700 «Радиоэлектронные устройства, системы и комплексы» протоколом №1 от 30 августа 2005 г.

1. КОДИРОВАНИЕ ИНФОРМАЦИИ В ЭВМ

1.1 СИСТЕМЫ СЧИСЛЕНИЯ

В позиционных СС "вес" каждого разряда зависит от его позиции в числе. К числу непозиционных относится "римская" СС, например число - XVII.

Любое неотрицательное число в позиционной системе счисления (СС) может быть представлено в виде:

$$D = C_{n-1} * b^{n-1} + C_{n-2} * b^{n-2} + \dots + C_1 * b^1 + C_0 * b^0 + C_{-1} * b^{-1} + C_{-2} * b^{-2} + \dots,$$

где D - десятичный эквивалент числа, C_i - значение i-го разряда, b - основание системы счисления, b в степени i - вес i-го разряда и n число разрядов целой части числа. В вычислительной технике наиболее распространены: двоичная (BIN), десятичная (DEC), шестнадцатеричная (HEX) и непозиционная двоично-десятичная (BCD) системы счисления. В BCD системе вес каждого разряда равен степени 10, как в десятичной системе, а каждая цифра i-го разряда кодируется 4-мя двоичными цифрами. Восемеричная СС (OCT) применяется реже. В 16-ной системе счисления цифры от 0 до 9 совпадают с десятичными, а для ЦИФР больше 10 используются буквы латинского алфавита : A(a) = цифра 10, B(b) = 11, C(c) = 12, D(d) = 13, E(e) = 14. Первые 16 чисел представлены в таблице 1.

DEC	BIN	OCT	HEX	BCD
0	0000	0	0	0000
1	0001	1	1	0001
2	0010	2	2	0010
3	0011	3	3	0011
4	0100	4	4	0100
5	0101	5	5	0101
6	0110	6	6	0110
7	0111	7	7	0111
8	1000	10	8	1000
9	1001	11	9	1001
10	1010	12	A	0001 0000
11	1011	13	B	0001 0001
12	1100	14	C	0001 0010
13	1101	15	D	0001 0011
14	1110	16	E	0001 0100
15	1111	17	F	0001 0101

Двоичное число $10010011 = 1 * 2^7 + 1 * 2^4 + 1 * 2^1 + 1 * 2^0 = 147$ (DEC). Для перевода числа из двоичной системы в 16-ную, его необходимо разбить начиная справа на группы по 4 двоичных цифры и каждую группу представить 16 - ной цифрой из таблицы. Для обратного перевода каждая HEX цифра заменяется четверкой двоичных, незначащие нули слева отбрасываются. Двоично-десятичное число можно записывать и десятичными цифрами, например 1997, и двоичными - 0001 1001 1001 0111. Каждое десятичное число можно представить в виде BCD, например 19(DEC) = 19(BCD), но их двоичные представления не равны: 19(DEC) = 10011(BIN), а 19(BCD) = 1 1001(BIN). Не каждая запись из нулей и единиц имеет двоично-десятичный эквивалент. Например, 11001001(BIN) = ?(BCD) = C9(HEX) = 201(DEC), т.к. десятичной цифры 12 = 1100 не существует!

Примеры преобразований:

Найдите десятичное число без знака соответствующее двоичному числу 00111011.

Пояснение:	номер разряда	7	6	5	4	3	2	1	0
	вес разряда	128	64	32	16	8	4	2	1
	значение разряда	0	0	1	1	1	0	1	1

ОТВЕТ : десятичный эквивалент $0 + 0 + 32 + 16 + 8 + 0 + 2 + 1 = 59$ (DEC)

Найти (HEX) 16-ный код приведенного выше двоичного числа 00111011.


Пояснение:	номер разряда	3	2	1	0	3	2	1	0
	вес разряда	8	4	2	1	8	4	2	1
	значение разряда	0	0	1	1	1	0	1	1

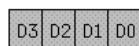
ОТВЕТ: 16-ный эквивалент $0 + 0 + 2 + 1$ (3) $8 + 0 + 2 + 1$ (11) = 3B (HEX)

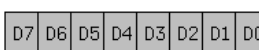
так как в HEX коде цифра 11 записывается с помощью буквы B.

1.2 МАШИННОЕ ПРЕДСТАВЛЕНИЕ ИНФОРМАЦИИ

Микропроцессоры обрабатывают упорядоченные двоичные наборы. Минимальной единицей информации является один бит.

 - бит (Binary digiT) - двоичный разряд

 - тетрада или полубайт или ниббл

ст.тетрада | мл.тетрада | байт 

старший байт | младший байт | слово

 слово

Далее следуют - тетрада (4 бита), байт (byte 8 бит), двойное слово (DoubleWord 16 бит) или длинное (LongWord 32 бит) и учетверенное слова. **Младший бит обычно занимает крайнюю правую позицию.**

1.3 ЧИСЛА С ФИКСИРОВАННОЙ ТОЧКОЙ

Такие числа могут быть как целыми, так и дробными. Точка мысленно фиксируется рядом с любым разрядом. Если она располагается справа от младшего бита, то число целое, если слева от старшего - число дробное. Далее будут рассматриваться только целые числа с фиксированной точкой, для нецелых чисел чаще применяется показательная форма, о которой пойдет речь дальше.

Естественным представлением целого неотрицательного числа является двоичная система счисления. Кодирование отрицательных чисел производится тремя наиболее употребительными способами, в каждом из которых **крайний левый бит - знаковый. Отрицательному числу соответствует единичный бит, а положительному - нулевой.** Каждый способ оценивается по скорости и затратам на выполнение сложения и изменения знака числа, т.к. вычитание есть сложение с измененным знаком одного операнда.

1.Прямой код. Изменение знака производится просто, путем инверсии бита знака. Пусть $00001001 = 9$, тогда $10001001 = -9$. Если при сложении двух чисел в этом коде знаки совпадают, то трудностей нет. Если знаки различаются необходимо найти наибольшее число, вычесть из него меньшее, а результату присвоить знак наибольшего слагаемого.

2.Обратный код, инверсный или дополнительный "до 1". Изменение знака производится просто - инверсией всех бит: $00001001 = 9$, а $11110110 = -9$. Сложение также выполняется просто, т.к. знаковые биты можно складывать. При переносе единицы из левого (старшего) бита, она должна складываться с правым (младшим). Например: $7 + (-5) = 2$.

```

00000111 = 7
11111010 = -5 (инверсия 00000101 = 5)
1 00000001
   1
00000010 = 2

```

Сложение в обратном коде происходит быстрее, т.к. не требуется принятие решения, как в предыдущем случае. Однако суммирование бита переноса требует дополнительных действий. Другим недостатком этого кода является представление нуля двумя способами, т.к. инверсия $0...00$ равна $1...11$ и сумма двух разных по знаку, но равных по значению чисел дает $1...11$. Например: $(00001001 = 9) + (11110110 = -9) = 11111111$. Кстати, из этого примера понятно почему код называется дополнительным "до 1". Этих недостатков лишен ---

3.Дополнительный или дополнительный "до 2" код. Число с противоположным знаком находится инверсией исходного и добавлением к результату единицы. Например, найти код числа -9.

```

00001001 = 9           11110111 = -9
11110110 - инверсия   00001000 - инверсия
   1                       1
11110111 = -9         00001001 = 9

```

Проблемы двух нулей нет. $+0 = 00000000$, $-0 = 11111111 + 1 = 00000000$ (перенос из старшего бита не учитывается). Сложение производится по обычным для неотрицательных чисел правилам.

```

00001001 = 9
11110111 = -9
1 00000000

```

Из этого примера видно, что в каждом разряде двух равных по модулю чисел складываются две единицы, что и определило название способа. Этот метод применяется наиболее часто, и **когда говорят о дополнительном коде, то имеется в виду дополнительный "до 2-х" код.**

1.4 ДИАПАЗОН ЦЕЛЫХ ЧИСЕЛ С ФИКСИРОВАННОЙ ТОЧКОЙ

Беззнаковые числа: $0 \leq D \leq 2^n - 1$. n - число разрядов

Байт:	0	-	255	(DEC)	Слово:	0	-	65535
	00..0	-	11..1	(BIN)		00..0	-	11..1
	0	-	FF	(HEX)		0	-	FFFF

Числа со знаком: $-2^{(n-1)} \leq D \leq +2^{(n-1)} - 1$. n - число разрядов.

Байт:	-128	-	+127	(DEC)	Слово:	-32768	-	+32767
	10..0	-	01..1	(BIN)		10..0	-	01..1
	80	-	7F	(HEX)		8000	-	7FFF

1.5 ЧИСЛА С ПЛАВАЮЩЕЙ ТОЧКОЙ (ВЕЩЕСТВЕННЫЕ)

Вещественные числа хранятся и используются в ЭВМ в **показательной форме**, т.е. в виде двух составляющих: **мантиссы и порядка**. Различия в способах такого представления чисел заключаются в количестве байтов отводимых под порядок и мантиссу и небольших отличиях в форме их хранения.

Например в четырехбайтовом формате под мантиссу отводится 3 байта и один байт для хранения порядка (KB - **короткий вещественный формат**).

$$D = \pm M * 2^{(E-127)}$$

Последовательность расположения байтов

D7	D0	байт порядка
SM	D22.....D16	три
D15.....	D8	байта
D7	D0	мантиссы

в различных ЭВМ может быть разной. D - десятичный эквивалент числа, M - нормализованная мантисса, E - смещенный порядок, SM - бит знака мантиссы.

1.6 ДИАПАЗОН ПРЕДСТАВЛЕНИЯ ВЕЩЕСТВЕННЫХ ЧИСЕЛ

У нормализованной мантиссы первая значащая цифра (единица) мысленно находится слева от запятой, а справа располагаются 23 разряда - 1,xx.xx. Поэтому $M_{max} = 1,111..11 = 1 + 1/2 + 1/4 + 1/8 + \dots = 2$, а $M_{min} = 1,000..00 = 1$ для положительных чисел (SM=0) и -1 и -2 для отрицательных, (SM=1). Порядок числа $E_{max} = 11111110 = 254$, а $E_{min} = 00000001 = 1$. Теперь нетрудно определить диапазон представления положительных чисел от $+D_{max} = M_{max} * 2^{(254-127)} = 3,4 * 10^{38}$ до $+D_{min} = M_{min} * 2^{(1-127)} = 1,17 * 10^{(-38)}$. Точность определяется числом достоверных десятичных цифр. При 23 двоичных разрядах мантиссы 2^{23} примерно равно 10^7 , т.е. достоверными являются только 6-7 значащих десятичных знаков, а не 38. Необходимо отметить, что значения порядка 11111111 и 00000000 по международному стандарту **IEEE 754 и 854** предназначены для кодирования денормализованных чисел, отрицательной и положительной бесконечностей, неопределенности и, так называемых Не-чисел.

1.7 ДВОИЧНО-ДЕСЯТИЧНЫЙ КОД

Двоично-десятичный код (ДДК) или Binary Coded Decimal (BCD) может быть **упакованным**, когда в одном байте хранятся две десятичные цифры, либо **неупакованным** - по одной цифре в байте. Упакованное число 1996 представляется в виде двух байтов: 0001 1001 и 1001 0110. Для знака числа отводится дополнительный байт, например в формате (ДД) девять байтов отводится для размещения 18-ти цифр, а в старшем бите десятого байта находится знак числа.

1.8 БУКВЕННО-ЦИФРОВОЙ КОД

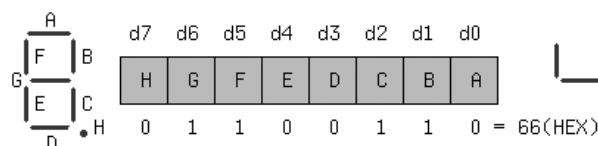
Для вывода информации на устройства отображения, например дисплей или принтер, а также для ввода или передачи данных используются буквенно-цифровые коды. Буквы, цифры, математические символы, знаки препинания, символы для рисования линий, управляющие символы и некоторые другие кодируются однобайтовыми числами. Существует несколько разновидностей таких кодов, например: ASCII, КОИ-7, КОИ-8, альтернативный код ГОСТ, основной код ГОСТ и другие. ASCII и 7-ми битовый код для обмена информацией (КОИ-7) отображают первые 128 символов и входят в состав остальных кодировок. Дополнительные символы и русский алфавит входят в восьмибитовые расширенные коды (КОИ-8, альтернативный и основной). Общее число символов в этих кодах равно 256. Таблица некоторых кодов приведена ниже. Следует отметить, что нулевой код (NULL) не кодирует цифру ноль и вообще никак не отображается.

Символ	Код (HEX)	Символ	Код (HEX)	Символ	Код (HEX)
"ничего"	00	"А"	41	"А"	81
"0"	30	"В"	42	"В"	82
"1"	31	"С"	43	"В"	83
..
"9"	39	"Z"	5A	"я"	9F
": "	3A	"["	5B	"а"	A0
\ _____ ASCII кодировка _____ /					
\ _____ альтернативная кодировка _____ /					

В Internet для русского языка используется кодировка КОИ-8. В настоящее время разработан и используется 16-ти битовый Unicode с 65536 различными символами.

1.9 ВОСЬМИСЕГМЕНТНЫЙ КОД

Служит для отображения образа BCD или HEX цифры высвечиваемой на индикаторе в виде набора 0 и 1. Может быть принято следующее соответствие между битами и сегментами:



Внизу приведен битовый набор для высвечивания цифры 4. Единицы обычно соответствуют светящимся сегментам.

1.10 НЕОДНОЗНАЧНОСТЬ ПРЕДСТАВЛЕНИЯ ДВОИЧНЫХ НАБОРОВ

Набор единиц и нулей хранящихся в регистре или ячейке памяти (двоичный набор) для микропроцессора ничего не означает. Пусть в регистре находится набор из восьми битов **1000110**. Он может быть интерпретирован следующим образом, как:

- 1) двоичное число = 1000110, имеющее
 - а) шестнадцатеричный эквивалент = 86 (HEX),
 - б) восьмичный эквивалент = 206 (OCT),
 - в) десятичный эквивалент числа без знака = 134 (DEC),
- 2) дополнительный код отрицательного числа = -122 (DEC),
- 3) двоично-десятичное упакованное число = 86 (BCD),
- 4) альтернативный код буквы "Ж",
- 4') код КОИ-8 символа "j",
- 5) восьмисегментный код цифры "1.",
- 6) часть вещественного числа,
- 7) реализация множества, включающего 3 элемента из 8-ми,
- 8) часть адреса ячейки памяти или внешнего устройства,
- 9) код операции и т.д.

Поэтому **ответственность за интерпретацию двоичных наборов возлагается на программиста**. Например, попытка сложить ASCII коды "1" + "2" не даст в сумме код "3", а даст 31(HEX) + 32(HEX) = 63(HEX), что соответствует коду латинской буквы "с".

2. ЛОГИЧЕСКИЕ ФУНКЦИИ И ЭЛЕМЕНТЫ

2.1 ОСНОВНЫЕ ПОЛОЖЕНИЯ АЛГЕБРЫ ЛОГИКИ

В отличие от аналоговых электронных устройств, в цифровых устройствах (ЦУ) входные и выходные сигналы могут принимать ограниченное количество состояний. В соответствии с логическим соглашением (ГОСТ 2.743-82), в зависимости от конкретной физической реализации элементов ЦУ, более положительному значению физической величины, "Н" - уровень, соответствует состояние **"логическая 1"**, а менее положительному значению, "L - уровень" - **"логический 0"**. Такое соглашение называется положительной логикой. Обратное соотношение называется отрицательной логикой. В ГОСТ'e 19480 - 89 даны наименования, определения и условные обозначения основных параметров и характеристик цифровых микросхем.

Теоретической основой проектирования ЦУ является **алгебра-логики** или булева алгебра, оперирующая логическими переменными. Для логических переменных, принимающих только два значения, существуют 4 основных операции. Операция логическое **"И"** (AND) **конъюнкция** или **логическое умножение**, обозначается * или \wedge . Операция логическое **"ИЛИ"** (OR), **дизъюнкция** или **логическое сложение**, обозначается + или \vee .

Операция логическое **"НЕ"** (NOT), изменение значения, **инверсия** или отрицание, обозначается чертой над логическим выражением. Инверсия иногда будет в тексте обозначаться знаком " ~ ". Операция эквивалентности обозначается "=" . Следующие соотношения являются **аксиомами**.

(1)	$0 + 0 = 0$	$1 * 1 = 1$	(1')
(2)	$1 + 1 = 1$	$0 * 0 = 0$	(2')
(3)	$1 + 0 = 0 + 1 = 1$	$0 * 1 = 1 * 0 = 0$	(3')
(4)	$\sim 1 = 0$	$\sim 0 = 1$	(4')

Из (1, 2) и (1', 2') следует: $x + x = x$ и $x * x = x$. (5)

Из (1, 3) и (2', 3') следует: $x + 0 = x$ и $0 * x = 0$. (6)

Из (2, 3) и (1', 3') следует: $1 + x = 1$ и $x * 1 = x$. (7)

Из (3) и (3') следует: $x + \sim x = 1$ и $\sim x * x = 0$. (8)

Из (4) и (4') следует: $\sim(\sim x) = x$. (9)

И, наконец, из (1, 1'), (2, 2'), (3, 3') и (4, 4') следует:

$\sim(x0 + x1) = \sim x0 * \sim x1$ и $\sim(x0 * x1) = \sim x0 + \sim x1$. (10)

Последние выражения (10) называют **принципом двойственности или теоремой Де Моргана** (инверсия логической суммы равна логическому произведению инверсий и наоборот). Соотношения двойственности для n переменных, часто записывают в виде:

$$\begin{aligned} \sim(x_1 + \dots + x_n) &= \sim x_1 * \dots * \sim x_n \text{ и} \\ \sim(x_1 * \dots * x_n) &= \sim x_1 + \dots + \sim x_n \end{aligned} \quad (11)$$

На функции И и ИЛИ распространяются обычные алгебраические законы - **переместительный, сочетательный и распределительный**, которые легко доказываются методом перебора: $x_1 \text{ ор } x_0 = x_0 \text{ ор } x_1$ - переместительный, $x_2 \text{ ор } x_1 \text{ ор } x_0 = (x_2 \text{ ор } x_1) \text{ ор } x_0$ - сочетательный и $x_2 * (x_1 + x_0) = (x_2 * x_1) + (x_2 * x_0)$ и $x_2 + (x_1 * x_0) = (x_2 + x_1) * (x_2 + x_0)$ - распределительный, где операция **ор** может быть, либо И, либо ИЛИ. Наряду с тремя основными логическими функциями, называемыми также переключательными, существуют и другие.

2.2 ПЕРЕКЛЮЧАТЕЛЬНЫЕ ФУНКЦИИ

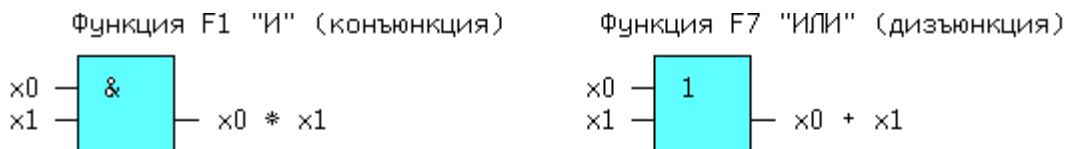
Для n-логических переменных (аргументов) существует 2^n их комбинаций или двоичных наборов. На каждом таком наборе может быть определено значение функции 0 или 1. Если значения функции отличаются хотя бы на одном наборе, функции - разные. Общее число переключательных функций (ПФ) от n аргументов равно $N=2^{2^n}$. Для n=2, N=16. При n=3, N=256 и далее очень быстро растет. Практическое значение имеют 16 функций от 2-х переменных, т.к. любое сложное выражение можно рассматривать как композицию из простейших. В таблице 1 приведены некоторые из ПФ для n=2. i-номер набора входных переменных x_1 и x_0 .

Таблица 1.

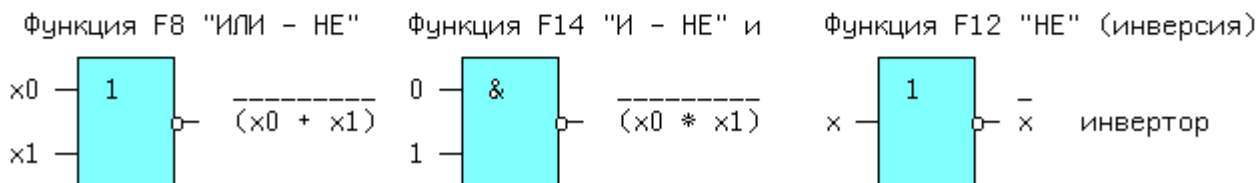
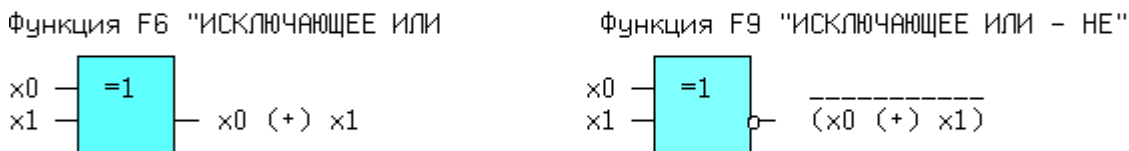
i	0	1	2	3	ОБОЗНАЧЕНИЕ ФУНКЦИИ
x_0 x_1	0 0	1 0	0 1	1 1	
F0	0	0	0	0	F0 = 0, константа "0"
F1	0	0	0	1	F1 = $x_1 * x_0$, "И"
F6	0	1	1	0	F6 = $x_1 (+) x_0$, "ИСКЛЮЧАЮЩЕЕ ИЛИ"
F7	0	1	1	1	F7 = $x_1 + x_0$, "ИЛИ"
F8	1	0	0	0	F8 = $\sim(x_1 + x_0)$, "ИЛИ - НЕ"
F9	1	0	0	1	F9 = $\sim(x_1 (+) x_0)$, "ИСКЛ. ИЛИ - НЕ"
F12	1	1	0	0	F12 = $\sim x_1$, "НЕ"
F14	1	1	1	0	F14 = $\sim(x_1 * x_0)$, "И - НЕ"
F15	1	1	1	1	F15 = 1, константа "1"

ЗАПОМНИТЕ СЛЕДУЮЩИЕ ОПРЕДЕЛЕНИЯ. Функция "И" равна единице, если равны единице ВСЕ ее аргументы. Функция "ИЛИ" равна единице, если равен единице ХОТЯ БЫ один аргумент. Функция "ИСКЛЮЧАЮЩЕЕ ИЛИ" (XOR) равна единице, если равен единице ТОЛЬКО один ее аргумент.

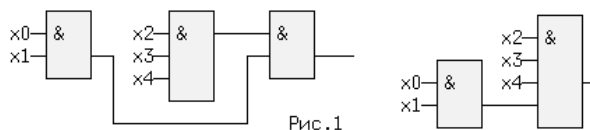
2.3 УСЛОВНЫЕ ОБОЗНАЧЕНИЯ ЛОГИЧЕСКИХ ФУНКЦИЙ НА СХЕМАХ



Функция F6 "ИСКЛЮЧАЮЩЕЕ ИЛИ", называемая также для двух аргументов ф-ей "НЕ-РАВНОЗНАЧНОСТИ" или "СУММА ПО МОДУЛЮ ДВА", имеет следующее схемное обозначение. Логическая операция (+) называется суммой по модулю два.



Количество входов логического элемента, участвующих в формировании логической функции, называется коэффициентом объединения - Коб (не путать с коэффициентом разветвления). У всех выше приведенных схем, за исключением инвертора, коэффициент объединения равен двум. Промышленностью выпускаются схемы с Коб=2,3,4,8. Для получения схем с другим числом входов основные элементы можно объединять. Например, если требуется пятивходовая схема И, то ее можно получить, используя сочетательный закон следующим способом: $x_0 * x_1 * x_2 * x_3 * x_4 = (x_0 * x_1) * (x_2 * x_3 * x_4) = (x_0 * x_1) * x_2 * x_3 * x_4$, т.е. требуются две двухвходовые и одна трехвходовая схемы И, для первого варианта, либо одна двухвходовая и одна четырехвходовая - для второго (рис.1).



Можно использовать и восьмивходовую схему И, подав на незадействованные входы "1", либо некоторые из переменных, в соответствии с выражениями (5) или (7).

2.4 СПОСОБЫ ПРЕДСТАВЛЕНИЯ ЛОГИЧЕСКИХ ФУНКЦИЙ

Целью проектирования цифрового устройства является получение его логической функции (ЛФ) и соответствующей ей схемной реализации. ЛФ могут иметь различные формы представления: 1) словесное, 2) графическое, 3) табличное, 4) алгебраическое, 5) на алгоритмическом языке (например VHDL) и 6) схемное. В качестве примера, рассмотрим функцию Y от двух переменных x1 и x0, заданную словесным описанием: Y=1, если переменные НЕ РАВНЫ и Y=0, если x1=x0. Такую ЛФ удобно назвать функцией НЕРАВНОЗНАЧНОСТИ. Переходим к табличному представлению Y (таблица 2).

Таблица 2.

i	0	1	2	3
x0	0	1	0	1
x1	0	0	1	1
Y	f0	f1	f2	f3
	0	1	1	0

$$Y = \sum_{i=0}^{2^n - 1} (f_i * m_i) \quad (12)$$

Табличное представление значений ЛФ для всех наборов входных переменных называется таблицей истинности. В общем виде переход от табличного представления к алгебраическому может осуществляться по формуле (12), одной из основных в алгебре логики.

Выражение (12) называется совершенной дизъюнктивной нормальной формой ЛФ (СДНФ). m_i - минтерм или логическое произведение всех переменных i-го двоичного набора, входящих в прямом виде, если значение этой переменной в наборе равно 1, и в инверсном виде, если ее значение равно 0. f_i - значение ЛФ на i - ом наборе. Доказательство (12) базируется на теореме разложения, в соответствии с которой любую ЛФ f(.) от n-переменных можно разложить по переменной x_i в виде: $f(x(n-1), \dots, x_i, \dots, x_0) = \sim x_i * f(x(n-1), \dots, 0, \dots, x_0) + x_i * f(x(n-1), \dots, 1, \dots, x_0)$. Это выражение для $x_i=0$ равно $\sim 0 * f(x(n-1), \dots, 0, \dots, x_0) + 0 * f(x(n-$

$1), \dots, 1, \dots, x_0) = f(x(n-1), \dots, 0, \dots, x_0)$. При $x_i=1$ оно будет равно $\sim 1 * f(x(n-1), \dots, 1, \dots, x_0) + 1 * f(x(n-1), \dots, 1, \dots, x_0) = f(x(n-1), \dots, 1, \dots, x_0)$, т.е. при любых значениях x_i теорема разложения справедлива. Теорему разложения можно применить n раз и тогда ЛФ будет разложена по всем своим переменным.

В виде примера рассмотрим функцию $F=f(x_1, x_0)$ от двух переменных. Разложение этой функции по переменной x_1 даст: $F = \sim x_1 * f(0, x_0) + x_1 * f(1, x_0)$. Продолжая эту операцию для переменной x_0 , получим:

$$F = \sim x_1 * (\sim x_0 * f(0, 0) + x_0 * f(0, 1)) + x_1 * (\sim x_0 * f(1, 0) + x_0 * f(1, 1)) = \sim x_1 * \sim x_0 * f(0, 0) + \sim x_1 * x_0 * f(0, 1) + x_1 * \sim x_0 * f(1, 0) + x_1 * x_0 * f(1, 1). \quad (12.1)$$

Выражение (12.1) позволяет записать все переключательные функции от двух переменных, используя только три основных логических операции.

Рассмотрим разложение функций F7-"ИЛИ" и F1-"И", для чего необходимо обратиться к соответствующим строчкам таблицы 1. Функция И на двоичных наборах входных переменных x_1 и x_0 (00, 01, 10, 11) принимает значения 0, 0, 0, 1. Записывая выражение (12.1) для этих значений получим: $F_1(x_1, x_0) = \sim x_1 * \sim x_0 * 0 + \sim x_1 * x_0 * 0 + x_1 * \sim x_0 * 0 + x_1 * x_0 * 1 = x_1 * x_0$, что соотгласуется с ее определением. Таким же образом, находим алгебраическое выражение функции F7-"ИЛИ", которая, соответственно, на тех же входных наборах принимает значения: 0, 1, 1, 1. Тогда, в соответствии с (12.1), $F_7(x_1, x_0) = \sim x_1 * \sim x_0 * 0 + \sim x_1 * x_0 * 1 + x_1 * \sim x_0 * 1 + x_1 * x_0 * 1$. Вынося за скобки в двух последних слагаемых x_1 , получим $F_7 = \sim x_1 * x_0 * 1 + x_1 * (\sim x_0 * 1 + x_0 * 1)$. На основании аксиомы (8), выражение в скобке равно "1" и $F_7 = \sim x_1 * x_0 * 1 + x_1$. Применяя распределительный закон, найдем $(\sim x_1 + x_1) * (x_0 + x_1) = x_1 + x_0$.

Возвращаясь к таблице 2, получим $Y = 0 * \sim x_1 * \sim x_0 + 1 * \sim x_1 * x_0 + 1 * x_1 * \sim x_0 + 0 * x_1 * x_0 = \sim x_1 * x_0 + x_1 * \sim x_0 = x_1 (+) x_0 = F_6$ (функция неравнозначности).

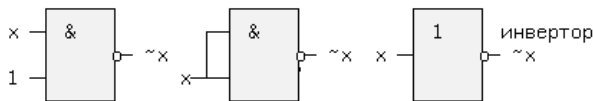
С помощью формулы (12) любую, сколь угодно сложную, логическую функцию можно представить в виде трех основных ЛФ: "И", "ИЛИ", "НЕ", представляющих собой логический базис.

2.5 ЛОГИЧЕСКИЙ БАЗИС

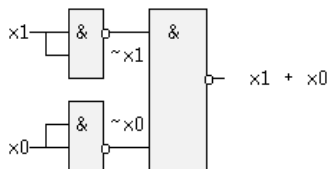
Набор простейших ЛФ, позволяющих реализовать любую другую функцию называется логическим базисом (ЛБ). Функции И, ИЛИ, НЕ не являются минимальным ЛБ, т.к. сами могут быть представлены через другие функции, например через F8(ИЛИ-НЕ) или F14(И-НЕ).

Реализация НЕ, ИЛИ, И в базисе "И - НЕ".

"НЕ" : $\sim x = \sim(x * 1) = \sim(x * x)$ см. аксиомы (5) и (7)



"ИЛИ" : $x_1 + x_0 = \sim(\sim x_1 * \sim x_0)$ см. аксиому (10)



"И" : $x_1 * x_0 = \sim(\sim(x_1 * x_0))$ см. аксиому (9)



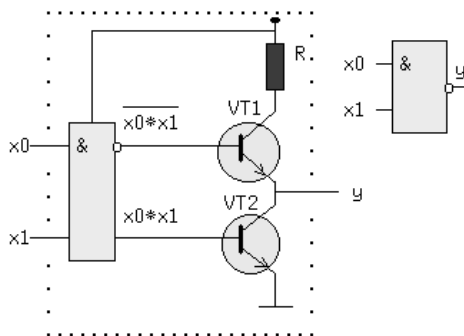
Следовательно базис "И - НЕ" является минимальным. Реализацию НЕ, И, ИЛИ в базисе "ИЛИ - НЕ" произвести самостоятельно, используя перечисленные аксиомы.

2.6 СХЕМНЫЕ ОСОБЕННОСТИ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ

Приведенные выше логические элементы (ЛЭ) И, ИЛИ, НЕ, И-НЕ и другие могут иметь некоторые схемотехнические особенности.

БАЗОВЫЙ ЛОГИЧЕСКИЙ ЭЛЕМЕНТ

На рисунке приведена упрощенная схема И-НЕ и его условное обозначение.



Напряжения на базах транзисторов VT1 и VT2 находятся в противофазе и, если $x_0 * x_1 = 1$, то нижний транзистор открыт, а верхний закрыт, так как $\sim(x_0 * x_1) = 0$. Потенциал коллектора VT2 в этом случае примерно равен нулю и следовательно $y = 0$. При других значениях x_0 и x_1 нижний транзистор закрыт, а верхний открыт и на выходе схемы - высокий уровень, т.е. схема работает как элемент И-НЕ. Выходы нескольких БЛЭ категорически нельзя соединять вместе, потому что, если $n-1$ элементов находятся в состоянии "1", а n -ый в состоянии "0", то $n-1$ транзисторов VT1 будут "сливать" (sink) токи в единственный транзистор VT2 n -го элемента. Суммарный ток может превысить допустимое значение и VT2 выйдет из строя.

2.7 ЭЛЕМЕНТ С ОТКРЫТЫМ КОЛЛЕКТОРОМ

Логический элемент И-НЕ с открытым коллектором (ОК) (см.рис.2. слева) обозначается в поле элемента ромбом с чертой внизу.

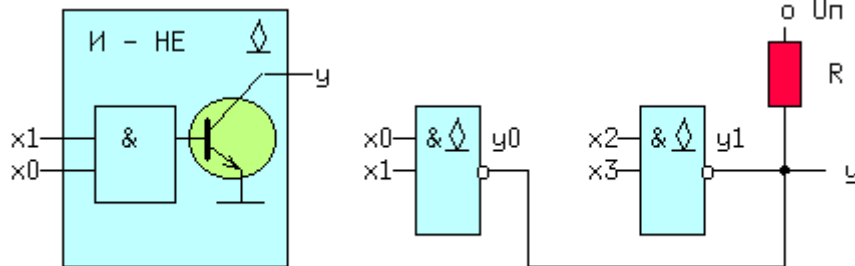


Рис. 2.

К открытому коллектору снаружи могут подключаться резисторы, обмотки реле и двигателей, светодиоды и т.д. Открытые коллекторы нескольких элементов в отличие от базового логического элемента могут соединяться вместе, образуя "монтажное И" (рис.2 - справа) для прямых значений переменных т.к. $y = y_0 * y_1 = 1$ при $y_0 = y_1 = 1$. Иногда такую схему называют "монтажное ИЛИ", потому что $y = \sim(x_0 * x_1) * \sim(x_2 * x_3)$ в соответствии с соотношением двойственности равно $\sim(x_0 * x_1 + x_2 * x_3)$ (рис.2). Логический элемент И с открытым эмиттером, обозначается ромбом, но с чертой сверху.

2.8 ЭЛЕМЕНТЫ "И - ИЛИ - НЕ" И РАСШИРИТЕЛИ

Такие схемы объединяют несколько элементов И, подключенных выходами к элементу ИЛИ-НЕ (рис.3). Если количества переменных a, b, \dots, e недостаточно, используются элементы-расширители, подключаемые к входам расширения C и E (входы для открытого коллектора и эмиттера). Символ &1 обозначает функцию И, объединяемую по ИЛИ (рис.4). Здесь и далее символом * обозначаются вспомогательные входы у логических элементов.

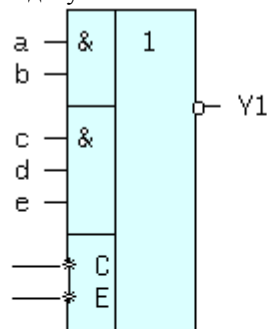


Рис. 3.

$$Y1 = a * b + c * d * e$$

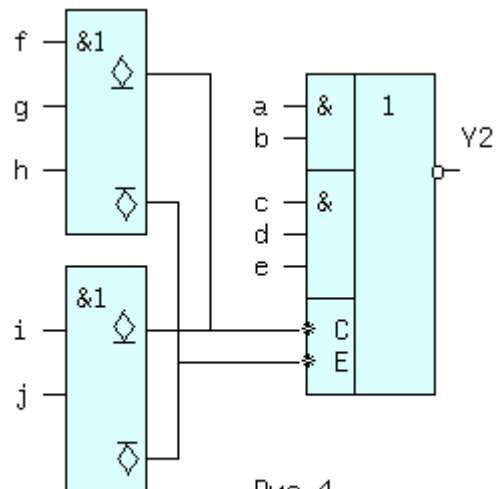


Рис. 4.

$$Y2 = a * b + c * d * e + f * g * h + i * j$$

В этих схемах, как и вообще в элементах ИЛИ, неиспользуемый вход ИЛИ д.б. подключен к 0. Поэтому, если одна из секций И недействительна, на один из ее входов необходимо подать 0. В противном случае Y всегда будет равен 0. Это особенность схем, выполненных по ТТЛ(Ш) технологии, т.к. неподключенный логический вход этих схем эквивалентен логической 1 (правда при этом ухудшаются некоторые характеристики микросхемы).

2.9 ТРИСТАБИЛЬНЫЕ ЭЛЕМЕНТЫ

Наряду с двумя логическими состояниями существует третье технологическое состояние, когда выход элемента отключается от внутренней схемы. При этом сопротивление между выходом и "землей" становится очень большим и выход микросхемы не оказывает никакого влияния на подключенные к нему

выходы других микросхем. Выходы нескольких таких элементов также могут соединяться вместе. Такое включение, разновидность "монтажного И", применяется там, где несколько источников сигналов по очереди подключаются к входам одного или нескольких приемников, не мешая друг другу. Третье состояние называют также высокоимпедансным или Z - состоянием. Схема И-НЕ с Z-состоянием выхода приведена на рис.5. слева, а ее условное обозначение - справа.

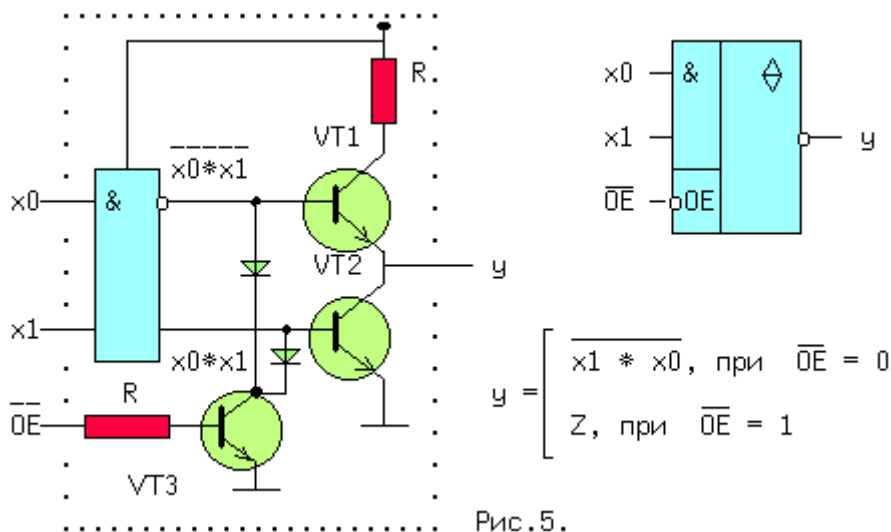


Рис.5.

Если сигнал $\sim OE=0$, транзистор VT3 закрыт и включенные встречно диоды не оказывают влияния на логические выходы элемента И. Напряжения на базах транзисторов VT1 и VT2 находятся в противофазе и, если $x0*x1=1$, то верхний транзистор закрыт, а нижний открыт. Потенциал коллектора VT2 примерно равен нулю и следовательно $y=0$. При других значениях $x0$ и $x1$ нижний транзистор заперт, а верхний открыт и на выходе схемы - высокий уровень, т.е. при $\sim OE=0$ схема работает как обычный элемент И-НЕ. Картина существенно изменится при $\sim OE=1$. Транзистор VT3 откроется до насыщения и на базах транзисторов VT1 и VT2 потенциал опустится примерно до нуля, запирая их. Выход "y" окажется отключенным от внутренней логической схемы. На схемах тристабильные элементы обозначаются ромбом с поперечной чертой или буквой Z.

Такие элементы используются там, где необходима передача информации по одной линии от нескольких источников к одному или нескольким приемникам. Причем, так как линия одна, то чтобы выходы пассивных источников не искажали информацию на выходе активного источника, они должны переводиться в третье состояние. Z - состояние используется по этой причине в микросхемах памяти, шинных формирователях.

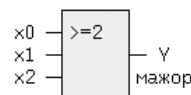
• **Дополнительный инверсный вход относится к категории управляющих или функциональных. Функция входа зашифрована в его обозначении (Output Enable - разрешение выхода ($\sim OE$)), а значение активного уровня на этом входе, при котором функция выполняется, равно 1, если вход прямой, и равно 0, если вход инверсный, как на схеме.**

2.10 МИНИМИЗАЦИЯ ЛОГИЧЕСКИХ ФУНКЦИЙ

Полученные по формуле СДНФ (12) выражение может быть преобразовано (не всегда) к виду, имеющему меньшее число переменных и операций по сравнению с исходным. Такое преобразование называется минимизацией.

Рассмотрим пример. Имеется три двоичных датчика x_i . Необходимо реализовать ЛФ $Y_{\text{мажор}}$ принимающую значение 1, когда равны 1 значения двух и более датчиков. Такая функция называется мажоритарной. Ее таблица истинности имеет вид:

Номер i входного набора	Сигналы от датчиков			ЛФ $Y_{\text{мажор}}$
	x_2	x_1	x_0	
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	1



По формуле (12): $Y_{\text{мажор}} = \sim x_2 * x_1 * x_0 + x_2 * \sim x_1 * x_0 + x_2 * x_1 * \sim x_0 + x_2 * x_1 * x_0$. (3,5,6,7 - строчки таблицы). Полученному выражению соответствует схема на рис.6.

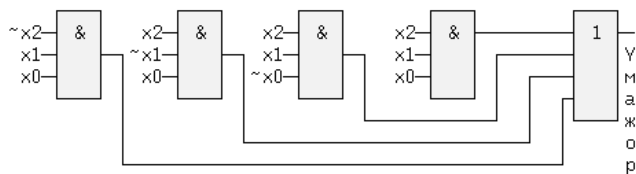


Рис. 6.

Схема содержит 4 трехходовых элемента "И" и 1 четырехходовый элемент "ИЛИ". Нахождение минимальной формы ЛФ производится методом алгебраических преобразований, с помощью таблиц Карно или машинными методами для больших проектов.

2.11 ТАБЛИЦА КАРНО

Таблица Карно (ТК) это видоизмененная запись таблицы истинности. Для функции мажоритарности из последнего примера (ТК) выглядит следующим образом:

	x1x0	00	01	11	10
x2	0	0	0	1 B	0
1	0	1 A	1	1 C	1

Правила построения ТК следующие: 1)Количество клеток ТК равно количеству строк таблицы истинности. 2)Слева и сверху располагаются значения аргументов. Порядок размещения аргументов таков, что в двух соседних по горизонтали и вертикали клетках отличается значение только одного аргумента (поэтому соседними считаются и клетки, находящиеся на противоположных краях таблицы). 3)В клетки заносятся соответствующие значения ЛФ. 4)Единичные клетки объединяются в прямоугольники (импликанты) по 2^i клеток. 5)Для каждого прямоугольника записывается произведение тех аргументов, которые в соседних клетках не изменяют своего значения. 6)Переменные входят в произведение в прямом виде, если их значение в соседних клетках равно 1, в противном случае в инверсном. 7)Полученные произведения складываются по ИЛИ в искомую ЛФ.

В примере имеется 3 прямоугольника - A,B,C, причем $Y_a = x_2 * x_0$ (x_1 в соседних клетках меняет свое значение, поэтому в конъюнкцию не входит). $Y_b = x_1 * x_0$ и $Y_c = x_2 * x_1$.

$$Y_{\text{мажор}} = Y_a + Y_b + Y_c = x_2 * x_0 + x_1 * x_0 + x_2 * x_1. \quad (13)$$

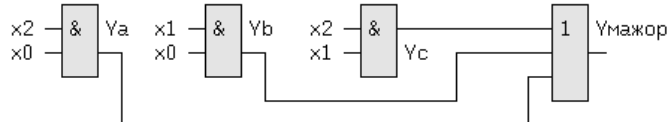


Рис. 7.

Соответствующая схема (рис.7.) проще, чем на рис.6.

2.12 ПРЕОБРАЗОВАНИЕ ЛФ К БАЗИСУ "И-НЕ" И "И-ИЛИ-НЕ"

Применяя к выражению (13) аксиому двойного отрицания (9) получим:

$$Y_{\text{мажор}} = \sim(\sim(x_2 * x_0 + x_1 * x_0 + x_2 * x_1)) \quad (14)$$

Формуле (14) соответствует схема (рис.8,слева) в базисе И-ИЛИ-НЕ.

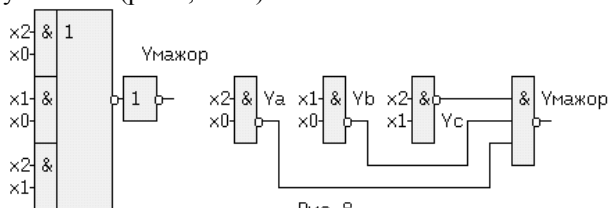
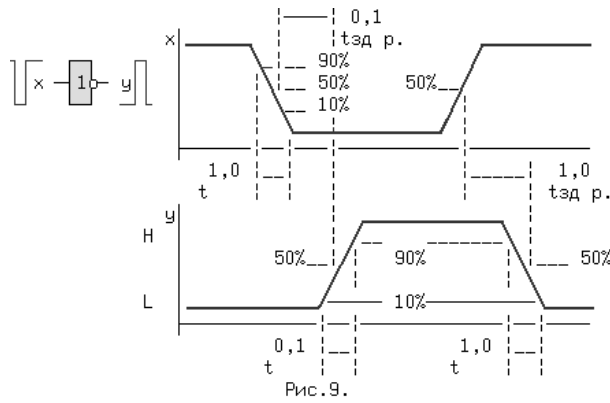


Рис. 8.

Применяя к выражению (14) соотношение двойственности (11) получим $\sim(\sim(x_2 * x_0) * \sim(x_1 * x_0) * \sim(x_2 * x_1))$. Последнему выражению соответствует схема в базисе И-НЕ (рис.8, справа).

2.13 ВРЕМЕННЫЕ ПАРАМЕТРЫ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ

Рассмотрим реакцию инвертора на изменение входного сигнала (рис.9). Инерционные свойства инвертора приводят к задержке сигнала при его прохождении от входа к выходу.



Процесс изменения напряжения от низкого уровня L к высокому H, называется фронтом сигнала (положительным перепадом, положительным фронтом), а обратный процесс - спадом (отрицательным перепадом, отрицательным фронтом). Если существенно их взаимное расположение, то фронт может быть передним и задним. Длительность фронтов на рис.9 обозначена $t_{1,0}$ - отрицательный и $t_{0,1}$ - положительный.

Величинами $t_{зд.р.0,1}$ и $t_{зд.р.1,0}$ обозначается время задержки распространения сигнала от входа до выхода при переходе из 0 в 1 и наоборот (рис.9). Минимальная длительность импульса на входе элемента $t_{i.мин}$ пропорциональна среднему значению $t_{зд.р.ср.}$ равному полусумме $t_{зд.р.0,1}$ и $t_{зд.р.1,0}$. Максимальная частота входных импульсов $F_{макс}$ обратно пропорциональна $t_{зд.р.ср.}$. Из сказанного следует, что быстродействие элемента тем выше, чем меньше $t_{зд.р.ср.}$.

Определения вышеуказанных величин с их отечественными и международными обозначениями приведены в разделе обозначения некоторых параметров микросхем.

Быстродействие схемы зависит также от алгебраической формы представления ЛФ. Пусть $y = a*b + c*a + d = a*(b+c)+d$. Первой форме (ДНФ) соответствует схема (А), а второй - схема (В) см. рис.10.

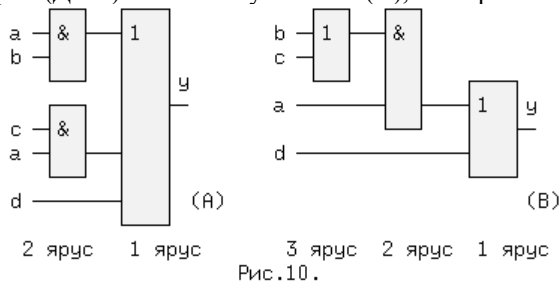


Рис.10.

Если среднее время задержки сигнала в каждом элементе одинаково, то $2t_{зд.р.ср.} < 3t_{зд.р.ср.}$ и двухъярусные схемы (СДНФ) в общем случае быстрее. Правда в записи со скобками может уменьшиться количество элементов и/или проводников (в схеме (В) на один провод меньше).

2.14 ПЕРЕХОДНЫЕ ПРОЦЕССЫ В ЛОГИЧЕСКИХ СХЕМАХ

Отличие времени задержки $t_{зд.р.}$ от нуля при прохождении сигнала через логическую схему может приводить к возникновению помех в выходном сигнале. Эти помехи имеют вид коротких импульсов, и в некоторых случаях приводят к серьезным сбоям в работе схем. Рассмотрим устройство на рис.11. Если элементы схемы не вносят задержки сигнала, а x_0 и x_1 находятся в противофазе, т.е. $x_0 = \sim x_1$, то $y = \sim(x_1 * \sim x_1) = 1$. Если же каждый из пяти ЛЭ имеет задержку $t_{зд.р.}$, тогда x_0' запаздывает относительно x_0 на $4t_{зд.р.}$ и на выходе схемы возникает незапланированный "отрицательный" импульс (интервал 1..2), сдвинутый на $t_{зд.р.}$ элемента И-НЕ (интервал 0..1). Процесс прохождения входных сигналов до общего выхода называется состязаниями или "гонками".

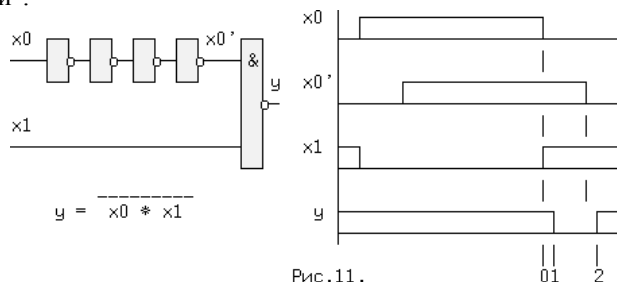


Рис.11.

Вредный эффект "гонок" может быть устранен несколькими способами, один из которых заключается в добавлении к ЛФ дополнительного слагаемого. Пусть некоторая ЛФ равна $F = x_1*x_2 + \sim x_1*x_0$, тогда при $x_2=x_0=1$ может появиться помеха, вызванная тем, что сигнал $\sim x_1$ задержан относительно x_1 на величину задержки инвертора (см. рис.12).

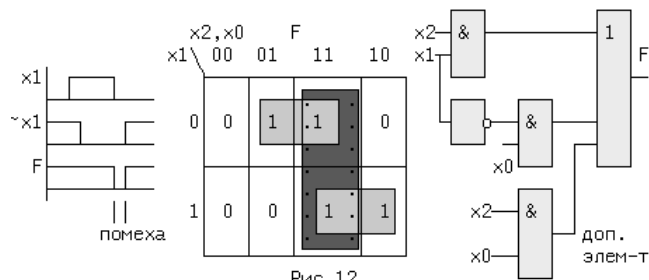


Рис.12.

Добавление лишнего **импликанта** (в таблице обведен точками) устраняет проблему, т.к.при критической ситуации, когда $x_2=x_0=1$, дополнительная составляющая $x_0*x_2=1$ и функция $F = x_1*x_2 + \sim x_1*x_0 + x_0*x_2$ равна всегда 1 при $x_2=x_0=1$.

В устройствах индикации такие короткие помехи можно игнорировать, так как они будут незаметны для глаз.

3. КОМБИНАЦИОННЫЕ СХЕМЫ

В комбинационных схемах логическая функция **зависит только от комбинации** значений входных переменных.

При описании многих цифровых устройств невозможно обойтись без упорядоченных двоичных наборов входных и выходных сигналов. Эти наборы удобно представлять в тех или иных системах счисления (СС).

3.1 ДЕШИФРАТОР

Дешифратор (ДШ) преобразует **двоичный код** на входах в активный сигнал на том выходе, номер которого равен десятичному эквиваленту двоичного кода на входах. В полном дешифраторе количество выходов $m = 2^n$, где n - число входов. В неполном ДШ $m < 2^n$. По определению полный ДШ должен генерировать 2^n выходных ЛФ, определенных на всех наборах из n - входных переменных, т.е. минтермов. Рассмотрим ДШ с $n=2$ и $m=4$, называемый также дешифратором "2 в 4" и дополним его входом разрешения выходов ОЕ. Активным уровнем сигнала на прямых входах/выходах будет 1, а на инверсных - 0. По этому определению заполним **таблицу истинности**, где величина x может принимать любые значения.

DEC число	Входы				Выходы								ЛФ
	a_1	a_0	ОЕ	\overline{OE}	y_0	y_1	y_2	y_3	$\overline{y_0}$	$\overline{y_1}$	$\overline{y_2}$	$\overline{y_3}$	
0	0	0			1	0	0	0	0	1	1	1	$y_0=OE*\sim a_1*\sim a_0$
1	0	1	1	0	0	1	0	0	1	0	1	1	$y_1=OE*\sim a_1* a_0$
2	1	0			0	0	1	0	1	1	0	1	$y_2=OE* a_1*\sim a_0$
3	1	1			0	0	0	1	1	1	1	0	$y_3=OE* a_1* a_0$
x	x	x	0	1	0	0	0	0	1	1	1	1	$y_i=0 (\sim y_i=1)$

Таблица Карно для выхода y_0 и 3-х входных переменных будет иметь вид:

		a_1a_0			
		"y0"			
OE		00	01	11	10
0	0	0	0	0	0
1	1	1	0	0	0

Прямоугольник, составленный из 1-ных клеток содержит только одну такую клетку, поэтому логическая функция выхода y_0 будет иметь вид: $y_0 = OE*\sim a_1*\sim a_0$. Аналогично получены остальные три уравнения. Преобразуем полученные для y_i уравнения с помощью аксиомы двойного отрицания к **базису И-НЕ**: $y_0 = \sim(\sim(OE*\sim a_1*\sim a_0))$. Решению соответствует схема на рис.13.

Схема обведенная "..." имеет условное обозначение (А), а схема в запятых - обозначение (Б). Возможны также еще 2 комбинации прямых и инверсных входов и выходов В и Г.

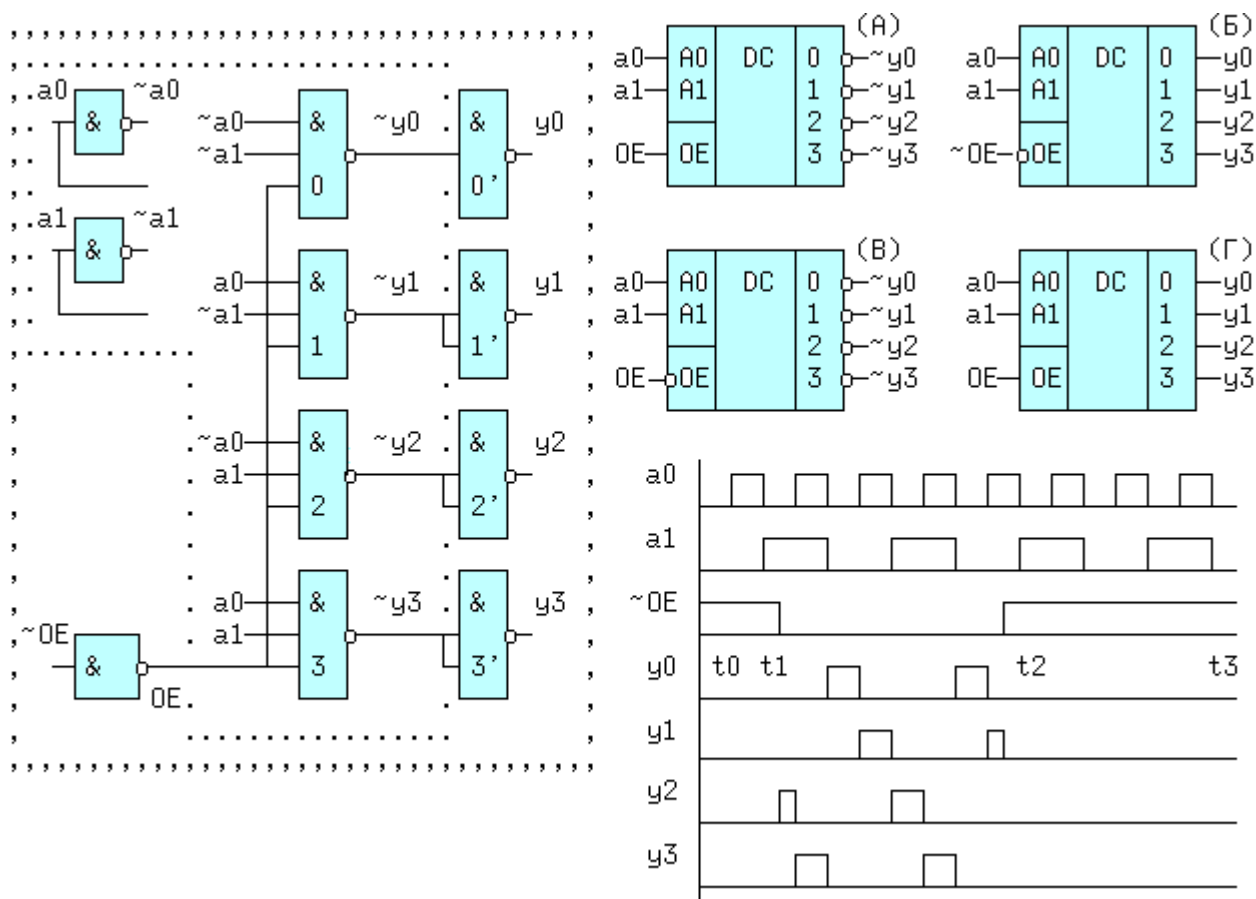


Рис.13.

Пояснить работу ДШ можно с помощью временных диаграмм для схемы (Б). Во время действия сигнала $\sim OE=1$ на нижних входах элементов И-НЕ(0..3) присутствует $OE=0$, и независимо от значений a_0, a_1 , выходные значения $\sim y_i=1$, а $y_i=0$, что и видно из рис.13. В эти отрезки времени $t_0..t_1$ и $t_2..t_3$ выходы "запрещены", т.е. на прямых выходах y_i устанавливается пассивный уровень "0", а на инверсных выходах пассивная "1". В интервале $t_1..t_2$ сигнал $\sim OE=0$ ($OE=1$) и значения y_i зависят только от переменных a_1, a_0 . Если код на входах $A1A0=10$, что соответствует десятичной двойке, на входах второго элемента И-НЕ соберутся 3 логических "1". Сигнал $\sim y_2=0$, а $y_2=1$, что видно на диаграмме y_2 . Вместо инвертора OE , может применяться более сложная схема, показанная на рис.14. Здесь $OE=1$ в случае, когда $\sim OE_1 = \sim OE_2 = 0$ и $OE_3 = 1$.

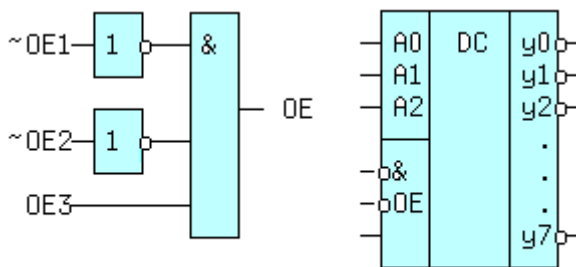


Рис.14.

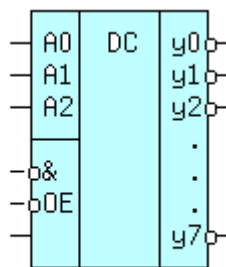


Рис.15.

Такая схема применяется в дешифраторе "3 в 8" типа 1533ИД7(555ИД7), условное обозначение которого приведено на рис.15. Дешифраторы широко применяются в вычислительной технике, как часть больших интегральных схем, для выбора одного из нескольких внешних устройств (ВУ) при обмене данными между ним и микропроцессором. В этом случае на входы a_i подаются сигналы, называемые адресом ВУ, а входы называются адресными.

3.2 ДЕДУЛЬТИПЛЕКСОР

Устройство передающее сигнал с информационного входа на один из выходов, причем номер этого выхода равен десятичному эквиваленту двоичного кода на адресных входах, называется демультиплексором (ДМ). В качестве ДМ может использоваться дешифратор, у которого вместо сигнала OE подается информационный сигнал x . Например, если на входы подать код $a_1a_0=10$ (BIN)=2 (DEC), то сигнал x появится на выходе y_2 , а на остальных выходах $y_i=0$. На рис.16. даны условное обозначение ДМ "1 в 4" и его механический аналог.

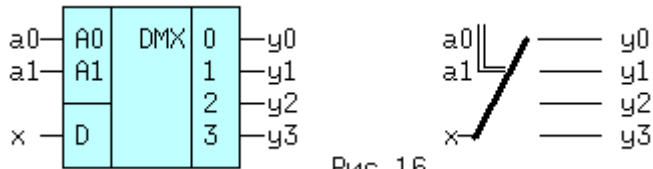


Рис.16.

3.3 УВЕЛИЧЕНИЕ РАЗРЯДНОСТИ ДЕШИФРАТОРОВ И ДЕМУЛЬТИПЛЕКСОРОВ

На рис.17 показано соединение двух ДШ "3 в 8" для получения одного ДШ "4 в 16", или двух демультиплексоров "1 в 8" для получения одного "1 в 16".

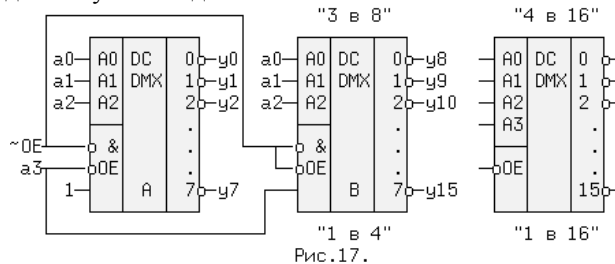


Рис.17.

При пассивном значении $\sim OE=1$ сигнал $OE=0$ (рис.14) и на всех выходах y_i будет "1", независимо от значений сигналов a_i . Если $\sim OE=0$ (активный уровень), то какой из дешифраторов работает зависит только от сигнала a_3 . Так если $a_3=0$, то на всех разрешающих входах ДШ (A) будут активные уровни, а на прямом разрешающем входе OE дешифратора (B) сигнал a_3 равный нулю переведет все выходы в состояние 1 (см. табл.4), т.е. работоспособным будет ДШ (A). Когда $a_3=1$, наоборот работоспособным становится дешифратор (B), потому что для инверсного входа $\sim OE$ дешифратора (A) этот сигнал запрещает его выходы. Комбинации сигналов a_3 и $a_2..a_0$, это видно из первых колонок таблицы, образуют последовательность двоичного кода 0000 ... 0111 (0 ... 7) для дешифратора (A) и последовательность 1000 ... 1111 (8 ... 15) для ДШ (B). Поэтому нумерация выходов y_i , получившегося ДШ "4 в 16" сквозная от 0 до 15. На рис.17, справа приведено условное обозначение, получившегося дешифратора - демультиплексора (в справочниках они так часто и называются и помещаются в один раздел).

Таблица 4.

DEC # Вых	a3 a2 a1 a0				y0 y1 y2 ... y7				y8 y9 y10 ... y15						
					(A)				(B)						
0	0	0	0	0	0	1	1	1	...	1	1	1	...	1	
1	0	0	0	1	1	0	1	1	...	1	1	1	...	1	
2	0	0	1	0	1	1	0	1	...	1	1	1	...	1	
...									
7	1	1	1	1	1	1	1	1	...	0	1	1	1	...	1
8	0	0	0	0	1	1	1	1	...	1	0	1	1	...	1
9	0	0	0	1	1	1	1	1	...	1	0	1	1	...	1
10	1	0	1	0	1	1	1	1	...	1	1	0	1	...	1
...									
15	1	1	1	1	1	1	1	1	...	1	1	1	1	...	0

3.4 МУЛЬТИПЛЕКСОР

Мультиплексор передает сигнал с одного из информационных входов x_i на единственный выход y , причем номер этого входа равен десятичному эквиваленту двоичного кода на адресных входах a_i . Если имеется вход разрешения выхода OE, то "0" на этом входе должен перевести выход в пассивное состояние (последняя строчка таблицы.5). Рассмотрим мультиплексор "4 в 1", имеющий 4 информационных входа и $\log_4 = 2$ адресных входов.

Таблица 5.

Десятич. число	Входы				Входы				Вых y	лФ
	a1	a0	OE	OE	x0	x1	x2	x3		
0	0	0	1	0	x0	x	x	x	x0	$y=x0*OE*\sim a1*\sim a0$
1	0	1	1	0	x	x1	x	x	x1	$y=x1*OE*\sim a1* a0$
2	1	0	1	0	x	x	x2	x	x2	$y=x2*OE* a1*\sim a0$
3	1	1	1	0	x	x	x	x3	x3	$y=x3*OE* a1* a0$
x	x	x	0	1	x	x	x	x	0	y=0

Величина x может принимать любые значения. Количество входных переменных равно 7, и таблица истинности должна иметь 128 строк. В табл.5 в 4-х основных строках упаковано 64 исходных (с учетом значений $x_0 \dots x_3$) и в последней строке, остальные 64 строчки. Анализ 0 строки, приводит к выводу, что $y=x_0$, если $a_1=0$ И $a_0=0$ И $OE=1$, независимо от переменных $x_1 \dots x_3$. Поэтому для этого входного набора можно записать: $y=x_0*OE*\sim a_1*\sim a_0$. Аналогично записывается y для остальных трех наборов переменных. Общее решение тогда будет иметь вид:

$$y = OE(x_0*\sim a_1*\sim a_0 + x_1*\sim a_1*a_0 + x_2*a_1*\sim a_0 + x_3*a_1*a_0). \quad (16)$$

Применяя аксиомы двойного отрицания и двойственности к правой части уравнения получим:

$$y = \sim(OE*x_0*\sim a_1*\sim a_0) + \dots + \sim(OE*x_0*a_1*a_0). \quad (17)$$

Выражению (17) соответствует схема, приведенная на рис.18,

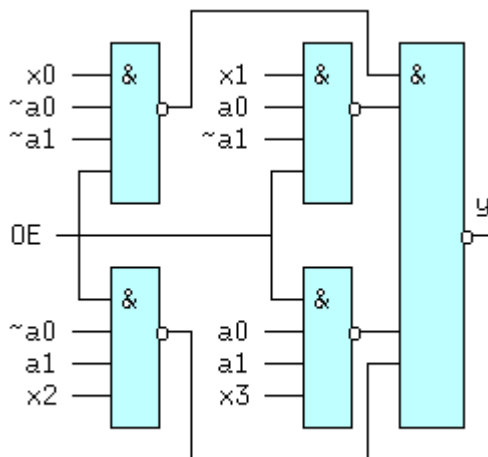


Рис.18.

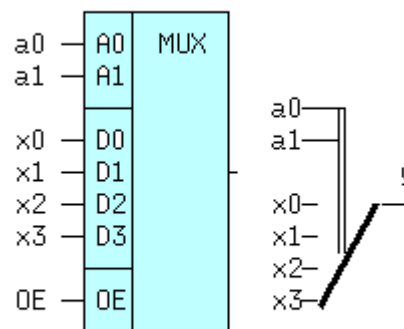


Рис.19.

а ее условное обозначение и механический аналог на рис.19. Если на адресные входы подать комбинацию $a_1a_0 = 11(\text{BIN}) = 3(\text{DEC})$, то к выходу y будет подключен вход D_3 , при условии, если $OE=1$. Мультиплексор может иметь инверсный выход, а также третье состояние этого выхода, которое отмечается на схеме ромбом с поперечной чертой.

Мультиплексоры находят широкое применение в вычислительной технике, например многие выводы у микропроцессоров "мультиплексированы", т.е. к одному выходу подключается несколько внутренних источников различных сигналов. Это могут быть сигналы линий шины данных и шины адреса, передаваемые последовательно во времени, что позволяет сократить общее число выводов микропроцессора. Если сравнить выражения (16) и (12), то можно увидеть их тождественность, при $f_i = x_i$ и $OE = 1$. Следовательно, с помощью мультиплексора с "n" адресными входами можно реализовать любую ЛФ с "n" переменными, подавая на информационные входы мультиплексора значения f_i .

3.5 ШИФРАТОР

Шифратор (Ш) может быть неприоритетным, если допускается подача только одного активного сигнала и может быть приоритетным, если допускается подача одновременно нескольких активных сигналов на входы. **Неприоритетный Ш осуществляет преобразование десятичного номера активного входа в двоичный эквивалент этого номера.** Для неприоритетного шифратора "4 в 2" таблица истинности имеет вид (рис.20):

номер входа	входы				выходы	
	x0	x1	x2	x3	y1	y0
0	1	0	0	0	0	0
1	0	1	0	0	0	1
2	0	0	1	0	1	0
3	0	0	0	1	1	1

Рис.20.

номер входа	входы				выходы	
	x0	x1	x2	x3	y1	y0
0	1	0	0	0	0	0
1	x	1	0	0	0	1
2	x	x	1	0	1	0
3	x	x	x	1	1	1

Рис.21.

В приоритетном Ш производится преобразование максимального десятичного номера активного входа в двоичный эквивалент этого номера. Для такого Ш входные сигналы, лежащие снизу от единичной диагонали, по определению не известны ("x" может быть 0 или 1). Следовательно полная таблица истинности, вместо нижних трех строчек должна содержать еще $2+4+8=14$ строк см. рис.21. Комбинация 0000 на входах не определена.

Для синтеза схемы неприоритетного Ш для каждого выхода составим таблицу Карно. Четыре входных переменных дают $2^4=16$ комбинаций из которых по определению заданы в таблице только 4. Остальные 12 неопределенных (запрещенных) комбинаций в таблицах Карно отметим символом d. Так как появление этих комбинаций на входах не предусмотрено (по определению), то в соответствующие клетки т.Карно можно подставлять любые значения, в том числе такие, которые позволяют наиболее полно минимизировать ЛФ. Два из четырех вариантов приведены на рис.22. В обоих случаях две величины d доопределены до 1.

		x2x3 "y1"			
		00	01	11	10
x0x1 \	00	d	1	d	1
	01	0	d	d	d
	11	d	d	d	d
	10	0	d	d	d

		x2x3 "y0"			
		00	01	11	10
x0x1 \	00	d	1	d	0
	01	1	d	d	d
	11	d	d	d	d
	10	0	d	d	d

Рис.22.

Из приведенных таблиц находим y_1 и y_0 :

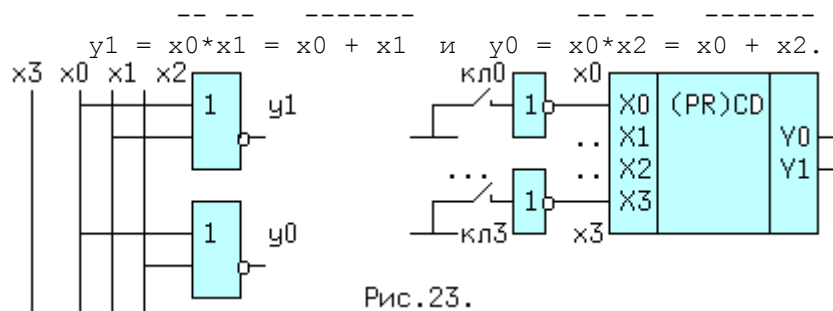


Рис.23.

Реализация и условное обозначение неприоритетного Ш приведены на рис.23. Переменная x_3 оказалась "обделенной", но это произошло из-за того, что если нет сигнала ни на одном из первых трех входов, то он неизбежно должен присутствовать, по определению, на оставшемся, т.е. на третьем. Переменная x_3 , вместе с остальными может быть использована для формирования функции $x_0 + x_1 + x_2 + x_3$ равной 0, когда не активен ни один из входов, что может сигнализировать, например о неисправности источников сигналов.

Шифраторы применяются в контроллерах прерываний работы микропроцессора внешними устройствами, в параллельном преобразователе напряжения в код и для кодирования номера клавиши. Последнее применение показано на рисунке. Если нажата клавиша кл3, то на выходе ей будет соответствовать код $11(\text{BIN}) = 3(\text{DEC})$.

3.6 ПРЕОБРАЗОВАТЕЛИ КОДА

Преобразователи кодов (ПК) могут быть весовыми и невесовыми. Весовые ПК преобразуют информацию из одной системы счисления в другую. Основное назначение невесовых - преобразование информации для ее дальнейшего отображения. В качестве примера рассмотрим преобразователь двоично-десятичного кода в код для семисегментных светодиодных индикаторов (рис.24). На рисунке также показан фрагмент подключения одного сегмента к выходу схемы с общим эмиттером и приведены начертания первых пяти цифр.

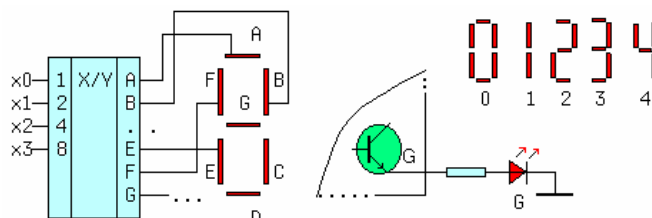


Рис.24.

Такой преобразователь должен иметь четыре входа, т.к. для кодирования десятичных цифр от 0 до 9 достаточно четырех двоичных, и семь выходов, по одному на каждый сегмент. Таблица истинности преобразователя, она же таблица, в соответствии с которой, например в цифре 0 должны светиться все сегменты за исключением сегмента G. В цифре 1 светятся только два сегмента B и C и т.д. Весовые коэффициенты b_i двоично-десятичных разрядов равны 2^i (8,4,2 и 1). На рис.25 слева дана таблица

истинности. В таблице заполнена только колонка для сегмента А. Нули в ней проставлены для тех цифр, в которых сегмент А не светится.



Рис.25.

В общем случае для синтеза этого ПК требуется составить семь уравнений. Найдем одно, для сегмента А, заполнив сначала для него таблицу Карно. Слева, на рис.25-1 приведена ТК прямого значения функции сегмента А. Когда в таблице нулевых клеток значительно меньше и они компактно сгруппированы, полезнее искать алгебраическое выражение инверсной логической функции, т.е. $\sim Y_a$, ее таблица дана справа. Функция при этом может получиться значительно проще, т.е. содержать меньше переменных и слагаемых. Шесть двоичных наборов начиная с 1010 в таблице не определены из-за отсутствия десятичных цифр больших девятки, поэтому для минимизации выгоднее считать некоторые из них единицами. Из таблицы найдем: $\sim Y_a = x_2 \cdot \sim x_1 \cdot \sim x_0 + \sim x_3 \cdot \sim x_2 \cdot \sim x_1 \cdot x_0$.

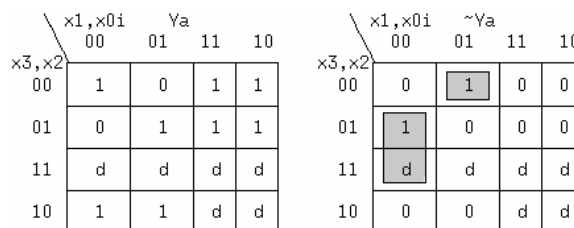


Рис 25-1

Тогда искомое выражение будет иметь вид: $Y_a = \sim(x_2 \cdot \sim x_1 \cdot \sim x_0 + \sim x_3 \cdot \sim x_2 \cdot \sim x_1 \cdot x_0)$. Соответствующая ему реализация на элементе И-ИЛИ-НЕ типа 1533LP4 будет одной из самых простых (рис.25.справа). Промышленность выпускает микросхемы преобразователей 514ИД2 с открытым коллектором и 514ИД1 с открытым эмиттером.

3.7 СУММАТОРЫ

Сумматор осуществляет арифметическое суммирование n-разрядных кодов $X=(x(n-1), \dots, x_0)$ и $Y=(y(n-1), \dots, y_0)$. Правила сложения двух одноразрядных двоичных чисел:

$$0 (+) 0 = 0 \quad 0 (+) 1 = 1 \quad 1 (+) 0 = 1 \quad 1 (+) 1 = 0 \text{ и перенос } 1 \text{ в старший разряд.}$$

Операция (+) называется - сумма по модулю два (переключательная функция F6). Устройство реализующее эти правила называется одноразрядным полусумматором и имеет два входа и два выхода . Сложение трех одноразрядных чисел производится следующим образом:

$$0 (+) 0 (+) 0 = 0 \quad 0 (+) 0 (+) 1 = 1 \quad 0 (+) 1 (+) 1 = 0 \text{ и перенос } 1 \text{ в старший разряд} \quad 1 (+) 1 (+) 1 = 1 \text{ и перенос } 1 \text{ в старший разряд.}$$

Устройство реализующее эти правила называется одноразрядным полным сумматором (ОПС) и имеет три входа и два выхода. Таблица истинности ОПС приведена на рис.26, слева.

	xi	yi	ci	si	c(i+1)
0	0	0	0	0	0
1	0	0	1	1	0
2	0	1	0	1	0
3	0	1	1	0	1
4	1	0	0	1	0
5	1	0	1	0	1
6	1	1	0	0	1
7	1	1	1	1	1

	yi, ci		"si"	
	00	01	11	10
xi				
0	0	1	0	1
1	1	0	1	0

Рис.26.

x_i, y_i - одноименные двоичные разряды чисел X и Y, c_i - перенос из предыдущего разряда, s_i - частичная сумма по модулю два и $c(i+1)$ - перенос в следующий разряд. Значения $c(i+1)$ совпадают со значениями функции мажоритарности, поэтому воспользуемся готовым решением:

$$c(i+1) = x_i * y_i + x_i * c_i + y_i * c_i. \quad (18)$$

Таблица Карно для s_i приведена на рис.26 справа. Из таблицы находим: $s_i = x_i * \sim y_i * \sim c_i + \sim x_i * \sim y_i * c_i + x_i * y_i * c_i + \sim x_i * y_i * \sim c_i = \sim y_i(x_i * \sim c_i + \sim x_i * c_i) + y_i(x_i * c_i + \sim x_i * \sim c_i) = \sim y_i(x_i (+) c_i) + y_i(x_i * c_i + \sim x_i * \sim c_i)$. Выражение в последней скобке необходимо преобразовать, используя соотношение двойственности.

$$x_i * c_i + \sim x_i * \sim c_i = \sim(x_i * c_i) * \sim(\sim x_i * \sim c_i) = (\sim x_i + \sim c_i) * (x_i + c_i) =$$

$$\sim x_i * x_i + \sim x_i * c_i + \sim c_i * x_i + \sim c_i * c_i = \sim x_i * c_i + x_i * \sim c_i =$$

$$\sim(x_i (+) c_i) = \sim F6 = F9.$$

С учетом последнего выражения

$$s_i = \sim y_i(x_i (+) c_i) + y_i \sim(x_i (+) c_i) =$$

$$y_i (+) (x_i (+) c_i) = y_i (+) x_i (+) c_i. \quad (19)$$

Схема одноразрядного полного сумматора соответствующая уравнениям (18) и (19) и ее условное обозначение приведены на рис.27.

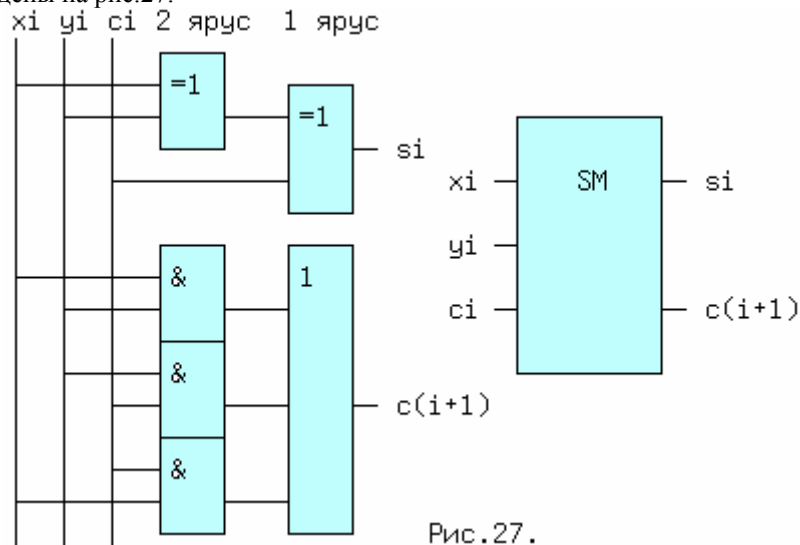


Рис.27.

Сумматор с последовательным переносом для сложения n-разрядных двоичных чисел показан на схеме (рис.28.). К его недостатку относится большое время задержки, в наихудшем случае, когда от сложения x_0, y_0 возникает сквозной перенос через все разряды до выхода $s(n-1)$. При двухъярусной схеме

одноразрядного сумматора, задержка сигнала от входов до выходов составит $2t_{зд.р.}$, если считать задержку в каждом ярусе одинаковой. Суммарная величина задержки будет равна:

$$t_{зд.р. посл. сумматора} = n * 2t_{зд.р.} \quad (20)$$

При сложении многоразрядных чисел задержка выходного сигнала на выходе последнего разряда становится недопустимо большой.

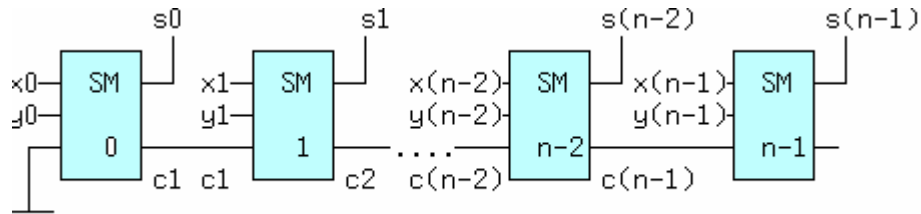


Рис.28.

В ЭВМ сумматор является центральным узлом арифметико-логического устройства (АЛУ) и от его быстродействия зависит производительность компьютера. Поэтому применяются сумматоры с параллельной схемой переноса. Выражение (18) для младшего разряда можно преобразовать, используя тождество для функции ИЛИ: $x + y = \sim x * y + x * \sim y + xy$. В правой части равенства СДНФ функции ИЛИ. Тогда

$$\begin{aligned} c1 &= x0*y0 + x0*c0 + y0*c0 = x0*y0 + c0(x0 + y0) = \\ &= x0*y0 + c0(\sim x0*y0 + x0*\sim y0 + x0*y0) = \\ &= x0*y0(c0 + 1) + c0(\sim x0*y0 + x0*\sim y0) = \\ &= x0*y0 + c0(x0 + y0). \quad (21) \end{aligned}$$

Уравнениям (19) и (21) соответствует схема на рис.29.

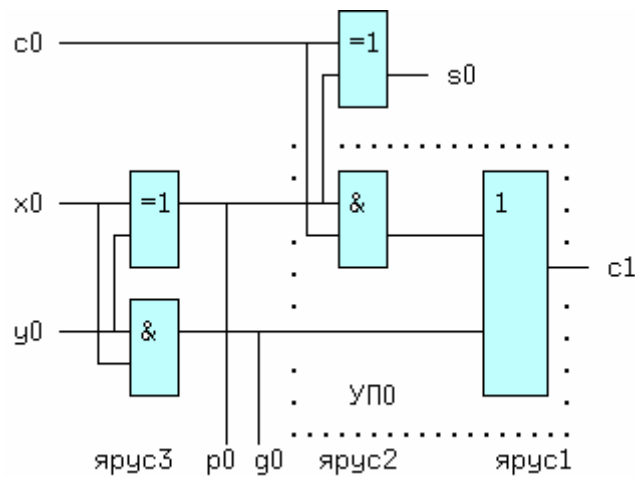


Рис.29.

Если в каждом разряде сумматора использовать такой одноразрядный сумматор, то никакого выигрыша в скорости не будет. Узел обведенный точками называется узлом переноса (УП), а функции g_i и p_i называются функциями генерации переноса и распространения переноса. С учетом этого можно записать:

$$c1 = g0 + p0*c0, \quad c2 = g1 + p1*c1 = \quad (22)$$

$$= g1 + p1*g0 + p1*p0*c0, \quad (23)$$

$$c3 = g2 + p2*c2 = \quad (24)$$

$$= g2 + p2*g1 + p2*p1*g0 + p2*p1*p0*c0, \quad (25)$$

....., и так далее. Выражения (22,24) - это еще последовательный сумматор, т.к. c_3 зависит от c_2, c_2 зависит от c_1 , а c_1 зависит от c_0 . Выражения (23,25) соответствуют уже параллельному, т.к. величина c_i снимается с выхода предыдущего разряда, в котором она формируется параллельно из всех первичных переменных. Схемы узлов переноса УП1 и УП2 приведены на рис.30.

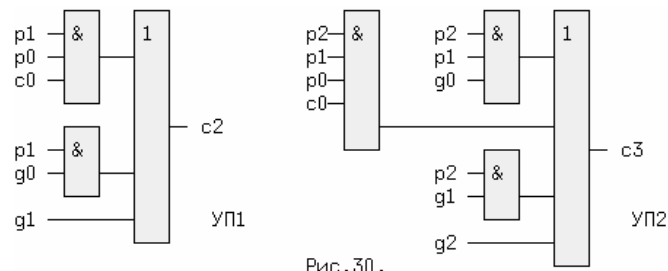


Рис. 30.

Из рис.29 и 30 видно, что узел сложения в каждом разряде остается неизменным, а изменяется только узел переноса, причем задержка сигнала от входов x_i, y_i до c_{i+1} остается неизменной и для 3-ярусной схемы равна $3t_{зд.р.}$. Суммарная задержка в каждом разряде увеличится на время прохождения сигнала от входа c_i до s_i , т.е. на величину $t_{зд.р.}$, и составит: $t_{зд.р.паралл.сумматора} = 4t_{зд.р.}$ независимо от количества разрядов. За это приходится платить усложнением узла переноса от разряда к разряду.

3.8 СХЕМА СРАВНЕНИЯ КОДОВ

Два кода X и Y считаются равными, если попарно равны их одноименные разряды. Можно ввести функцию $F(X==Y)$, которая равна 1, если $x_i=y_i$ для всех i , иначе ее значение равно нулю. В качестве примера возьмем два двухбитовых числа $X=(x_1, x_0)$ и $Y=(y_1, y_0)$. Таблица Карно для этих чисел приведена на рис.31, справа.

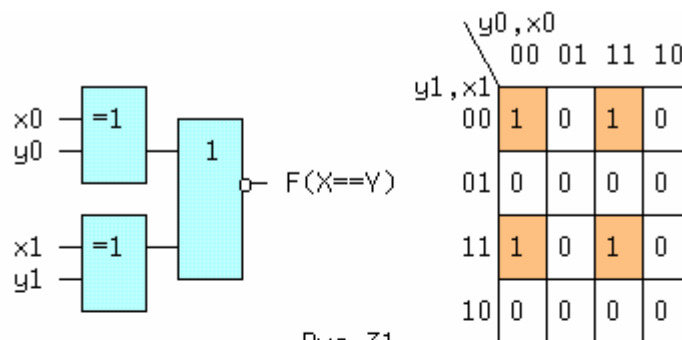


Рис. 31.

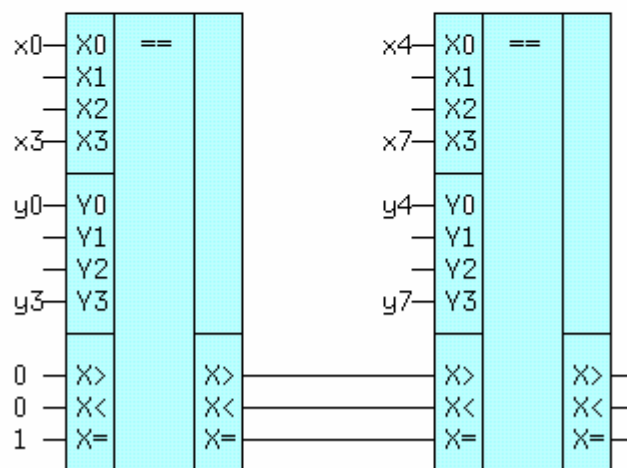


Рис. 32.

$F(X==Y) = \sim y_1 * \sim x_1 * \sim y_0 * \sim x_0 + \sim y_1 * \sim x_1 * y_0 * x_0 + y_1 * x_1 * \sim y_0 * \sim x_0 + y_1 * x_1 * y_0 * x_0 = \sim y_1 * \sim x_1 (\sim y_0 * \sim x_0 + y_0 * x_0) + y_1 * x_1 (\sim y_0 * \sim x_0 + y_0 * x_0) = \sim (x_0 (+) y_0) * \sim (x_1 (+) y_1) = F_9(x_0, y_0) * F_9(x_1, y_1) = \sim (F_6(x_0, y_0) + F_6(x_1, y_1))$. Преобразования в последних двух строчках сделаны с учетом, того что $\sim F_6(x, y) = F_9(x, y)$ и наоборот (см.раздел сумматоры). Одна из возможных реализаций приведена на рис.31,слева. Практические схемы дополняются функциями "больше/меньше", как например в микросхеме 555СП1, которая сравнивает два

четырёхразрядных числа. На рис.32 показано соединение двух таких схем, для увеличения разрядности сравниваемых чисел до восьми. Для правильного результата сравнения чисел $X = (x_7, x_6, \dots, x_0)$ и $Y = (y_7, y_6, \dots, y_0)$ на вход $X =$ необходимо подать 1. Схема сравнения входит в состав АЛУ микропроцессора и часто называется цифровым компаратором.

3.9 СХЕМА КОНТРОЛЯ ЧЕТНОСТИ (НЕЧЕТНОСТИ)

Схема применяется для выявления одиночных ошибок, вызванных помехами в линии связи или в блоках памяти. Метод основан на подсчете числа единиц в передаваемой в линию или направляемой в память на хранение порции информации, причем если число единиц четное - функция четности $P(arity)$ равна нулю. Для четырехразрядного двоичного числа таблица Карно, схемная реализация и условное обозначение приведены на рис.33.

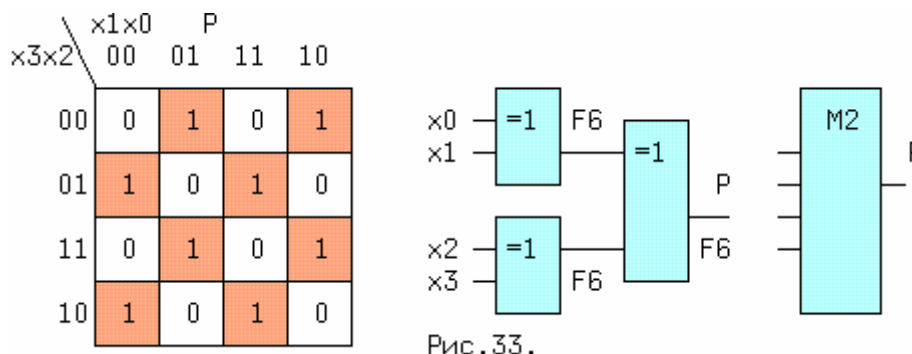


Рис. 33.

Символом M2 обозначена операция - "сумма по модулю два". Четыре строки таблицы Карно дают 4 составляющих: $P = \sim x_3 * \sim x_2 * F_6(x_1, x_0) + \sim x_3 * x_2 * \sim F_6(x_1, x_0) + x_3 * x_2 * F_6(x_1, x_0) + x_3 * \sim x_2 * \sim F_6(x_1, x_0) = F_6(F_6(x_3, x_2), F_6(x_1, x_0)) = (x_3 (+) x_2) (+) (x_1 (+) x_0)$. Рассмотрим пример на рис.34.

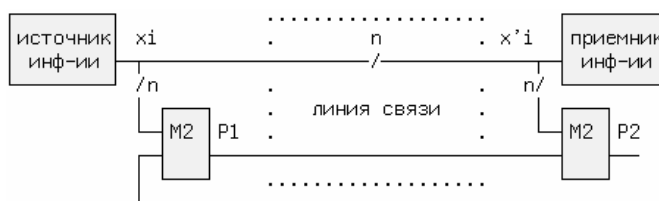


Рис. 34.

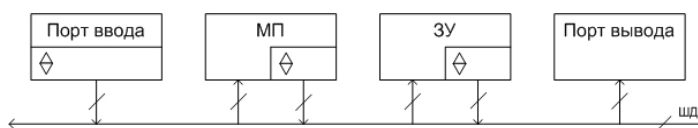
Пусть по n-проводной линии связи передается параллельный двоичный код $x(n-1), x(n-2), \dots, x_1, x_0$, а принимается код $x'(n-1), x'(n-2), \dots, x'_1, x'_0$. Тогда величина $P_1 = x_0 (+) x_1 (+) \dots (+) x(n-1)$.

На приемном конце линии связи $P_2 = x'_0 (+) x'_1 (+) \dots (+) x'(n-1) (+) P_1$. Подставляя в последнюю формулу выражение для P_1 и группируя переменные в одноименные пары, получим: $P_2 = (x_0 (+) x'_0) (+) (x_1 (+) x'_1) (+) (x_2 (+) x'_2) (+) \dots$. Из последнего выражения следует, что если передача прошла без искажений, то $x_i = x'_i$ и $x_i (+) x'_i = 0$, а $P_2 = 0$. При искажении одного и в общем случае нечетного числа бит функция $P_2 = 1$. Аналогично протекает процесс контроля и при последовательной передаче по одной линии связи n-бит и одного бита четности.

3.10 ШИННЫЕ ФОРМИРОВАТЕЛИ

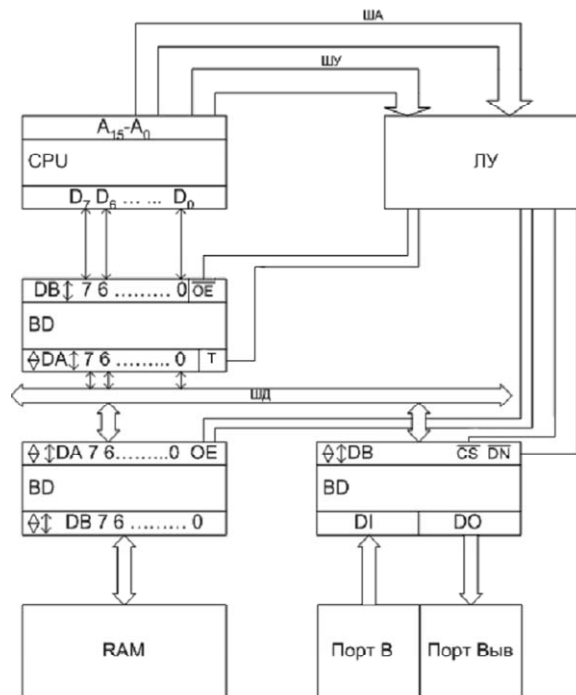
В каждый момент времени на внутренней магистрали МПС допускается только один активный модуль, в распоряжении которого отдаются все ресурсы магистрали. В простых МПС роль активного модуля играет, как правило, МП (ЦП), который организует управление магистралью.

МП выбирает лишь один какой-то модуль МПС с которым будет производить обмен информацией через ШД, а остальные отключает. Такая способность МП избирательно подключать и отключать устройства обеспечивается наличием на их выходах, подсоединенным к ШД, логической схемы с тремя состояниями – шинного формирователя (рисунок 2.5)



По шине управления передаются сигналы, которые отпирают ШФ того устройства, с которого будут считываться данные. Одновременно ШФ других устройств блокируются.

Шинные формирователи чаще всего используются для увеличения нагрузочной способности микросхем, подключенных к системной шине (рис 2.6). Возможность установки входов и выходов ШФ в высокоимпеданное состояние позволяет подключать к одной шине несколько шинных формирователей. Поскольку ШФ не имеет внутренней памяти, поэтому его нельзя использовать в качестве порта ввода-вывода если в последних должна фиксироваться информация, но ШФ очень часто используется в качестве буфера ШД, ША.



Организация подключения к системной шине данных микропроцессора, памяти и устройств ввода/вывода с использованием шинного формирователя.

4. ПОСЛЕДОВАТЕЛЬНОСТНЫЕ СХЕМЫ

В последовательных схемах (ПС) выходные сигналы зависят не только от комбинаций входных, но и от значений самих выходных сигналов в предшествующий момент времени. Для работы ПС принципиальное значение имеет время задержки распространения т.д.р. Простейшей ПС является триггер.

4.1 ТРИГГЕРЫ

Триггером называют последовательностную схему с положительной обратной связью и двумя устойчивыми состояниями 0 и 1 (то есть триггер обладает свойством памяти). В общем случае триггер может иметь асинхронные входы предварительной установки, тактовый или синхронизирующий и информационные входы. К основным типам триггеров относятся:

- триггер с раздельной установкой состояний (RS-триггер),
- триггер "защелка" (D - триггер),
- универсальный триггер (JK - триггер),
- триггер со счетным входом (Т - триггер).

По способу записи информации триггеры подразделяются на асинхронные и синхронные или тактируемые, а по способу управления - на триггеры со **статическим управлением** (единичным или режеле нулевым уровнем тактового сигнала) и триггеры с **динамическим управлением** (положительным - из 0 в 1, или отрицательным - из 1 в 0 **фронтом** тактового сигнала). В последнем случае говорят о триггерах с **прямым** или **инверсным динамическим входом** управления.

4.1.1 АСИНХРОННЫЙ RS - ТРИГГЕР

Асинхронный триггер имеет два входа S(et) - установка и R(eset) - сброс и два выхода прямой - Q и инверсный - $\sim Q$. Триггер переходит из текущего состояния X на выходе к состоянию 0, при подаче на вход S нуля и на вход R единицы, а при поступлении на вход S единицы и на вход R нуля триггер переходит к состоянию 1. При нулевых значениях, когда S=R=0 триггер должен сохранять старое значение. Комбинация сигналов S=R=1 не определена. В соответствии с описанием составим таблицу состояний триггера (таблица 6).

Таблица 6.

Текущее состояние			Последующее состояние		Название режима
S	R	Qt	Q(t+dt)	~Q(t+dt)	
0	0	Q	Q	~Q	Хранение инф-ии (память)
1	0	X	1	0	Установка в "1" (установка)
0	1	X	0	1	Уст-ка в "0"(сброс, очистка)
1	1	X	d	d	Неопределенное состояние

Q и X - могут принимать любые значения, но Q в пределах одной строки, неизменно. Значения d будут доопределены на этапе минимизации. Входных переменных три - S,R и текущее состояние выхода Qt, поэтому всего должно быть восемь состояний при различных значениях Q и X. Последующее состояние выходов отделено от текущего временем задержки сигнала dt. Таблица Карно функции Q(t+dt) с учетом всех возможных состояний приведена на рис.35, слева.

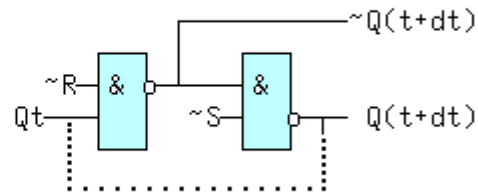
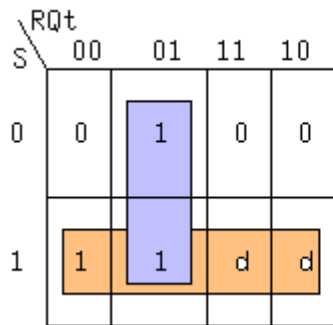


Рис. 35.

Доопределяем значения d единицей и находим характеристическое уравнение RS - триггера:

$$Q(t+dt) = S + \sim R * Qt = \sim(\sim S * \sim(\sim R * Q)) \quad (26)$$

Этому уравнению соответствует схема на рис.35, справа. Учитывая, что Qt и Q(t+dt) сигналы на одном и том же выходе, но в разные моменты времени, свяжем их. Окончательно схема триггера и его условное обозначение будет выглядеть, как на рис.36.

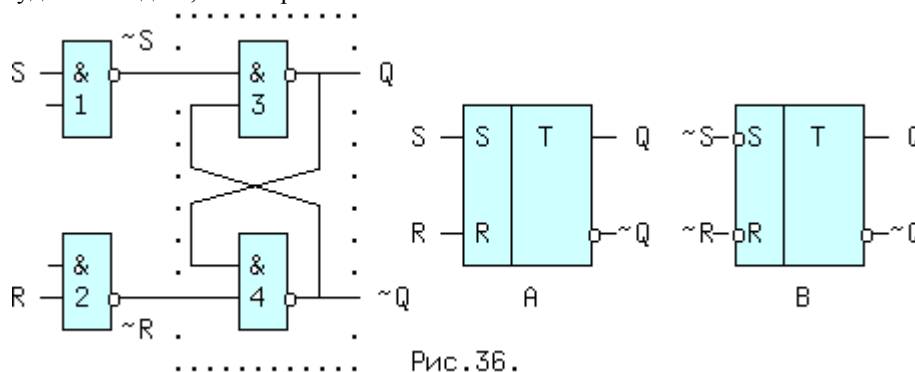


Рис. 36.

Условное обозначение В соответствует части рисунка, обведенной точками, т.е. RS триггеру с инверсными входами, а обозначение А - всему рисунку, или RS триггеру с прямыми входами.

Если на триггер с прямыми входами подать сигналы R=S=1 или на входы инверсного - нули, то оба выхода Q и ~Q будут установлены в 1, что противоречит аксиоме $Q * \sim Q = 0$. Поэтому такой режим, иногда называют запрещенным. Однако ничто не мешает разработчику использовать его, например для сигнализации об одновременном и нежелательном поступлении единичных сигналов на RS входы, введением дополнительной схемы И.

Временные диаграммы RS триггера с инверсными входами приведены на рис.37. Через время $t_{зд.р.}$, обозначенное "-", от поступления сигнала $\sim S = 0$ на вход элемента И-НЕ с номером 3, выход Q переключится первым, а следом через такой же промежуток времени переключится и выход ~Q. Спустя интервал времени $t_2 - t_0 = dt$ на выходах установятся новые значения. Также протекает процесс при $\sim R = 0$, но выход ~Q переключится первым. Отсюда вытекает, что изменение входных сигналов не должно происходить быстрее времени dt.

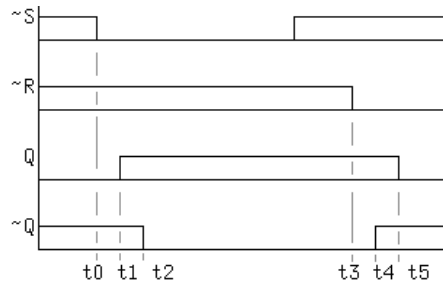


Рис.37.

Одним из применений RS триггера с инверсными входами служит схема подавления "дребезга" контактов клавиатуры. Процесс многократного размыкания и замыкания контактов при их переключении называется дребезгом. Схема и диаграммы показаны на рис.38.

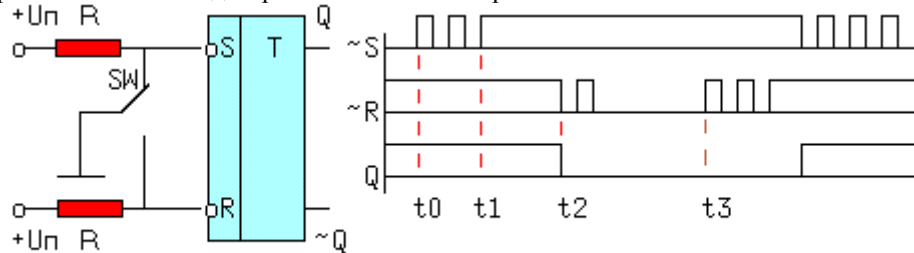


Рис.38

В момент t_0 нажатия на клавишу, начинаются соударения верхнего и среднего контактов. До момента t_1 сигналы $\sim S, \sim R$ поочередно принимают значения 1,1 и 0,1 что соответствует режимам памяти и установки в 1. При этом, естественно начальное значение $Q = 1$ не изменится, что и требуется. В интервале $t_1..t_2$ средний контакт находится в "свободном полете". Первое его касание нижнего контакта в момент t_2 сбросит триггер ($\sim S = 1, \sim R = 0$). До момента t_3 сигналы $\sim S, \sim R$ поочередно принимают значения 1,0 и 1,1 что соответствует режимам сброса и памяти, т.е. $Q = 0$. При отпускании клавиши (момент t_3) развивается обратный процесс. В результате действия схемы выходной сигнал чист от импульсных помех.

4.1.2 СИНХРОННЫЙ RS - ТРИГГЕР

Если незадействованные входы элементов И-НЕ 1 и 2 соединить вместе (рис. 36), получится **синхронный RS - триггер со статическим управлением (синхронизируемый уровнем)**. Схема и условное обозначение приведены на рис.39.

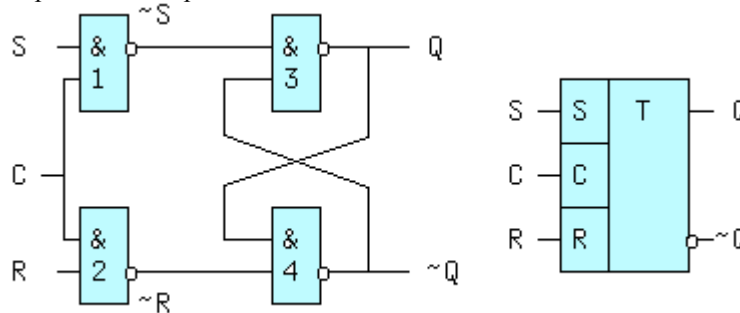


Рис.39.

Нетрудно убедиться, что при $C=0$ сигнал $Q = \sim(Q*1) = Q$, а $\sim Q = \sim(Q*1) = \sim Q$, т.е. независимо от значений S и R , выходы сохраняют старые значения и триггер находится в режиме памяти. При $C=1$ он функционирует, как асинхронный RS-триггер. Триггеры со статическим управлением называют также "прозрачными", т.к. при активном уровне синхросигнала C , информация с входов беспрепятственно проходит на выходы. Временные диаграммы приведены на рис.40.

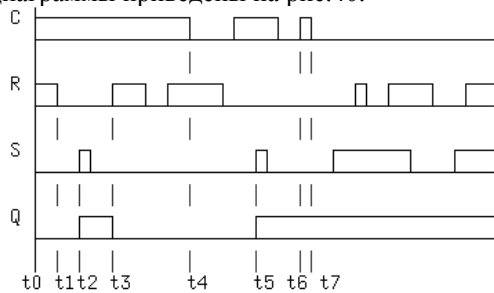


Рис.40.

До момента времени t_4 сигнал $C = 1$ и выходное значение определяется комбинациями сигналов R и S . В течение интервала времени $t_0..t_1$ на входе R действует 1, а сигнал $\sim S = 0$, поэтому Q тоже равно 0.

Начиная с момента t_1 и до момента t_2 $R = S = 0$ и действует режим памяти (Q не изменяется). В момент t_2 $R = 0$, $S = 1$ и триггер устанавливается ($Q = 1$). С момента окончания импульса S и до момента t_3 триггер хранит эту единицу, а в момент t_3 сбрасывается, т.к. $R = 0$, $S = 1$. Аналогично можно проанализировать и все остальные состояния выхода.

4.1.3 D - ТРИГГЕР СО СТАТИЧЕСКИМ УПРАВЛЕНИЕМ

D - триггер имеет два входа: информационный вход $D(ata)$ и вход управления записью/запоминанием (защелкиванием) $L(oad)/L(atc h)$ - отсюда его второе имя : "защелка". Последний вход часто обозначают символом $C(lock)$. **Выходной сигнал Q принимает значение равное входному D при $L = 1$ и сохраняет предыдущее значение $Q(t+dt) = Q_t$ при $L = 0$.** Таблица состояний триггера имеет вид:

Текущее состояние			Последующее состояние		Название режима
L	D	Qt	Q(t+dt)	~Q(t+dt)	
0	X	Q	Q	~Q	Хранение инф-ии(режим памяти)
1	0	X	0	1	Уст-ка в "0" (сброс, очистка)
1	1	X	1	0	Установка в "1" (установка)

Q и X - могут принимать любые значения, но Q в пределах одной строки, неизменно. Таблица Карно дана на рис.41. Связующий импликант добавлен для получения схемы свободной от "гонок" (см. раздел - переходные процессы) и от инверсии входных величин. $Q(t+dt) = \sim L * Q_t + L * D + D * Q_t = L * D + Q_t(\sim L + D) = L * D + Q_t((\sim L + D) * (\sim L + L)) = L * D + Q_t * ((\sim L + D * \sim L) + D * L) = L * D + Q_t * (\sim L + D * L) = \sim(\sim(L * D) * \sim(Q_t * (D * L + \sim L))) = \sim(\sim(L * D) * \sim(Q_t * \sim(\sim(D * L) * L)))$.

Этой формуле соответствует схема и условное обозначение на рис.41, в центре и справа.

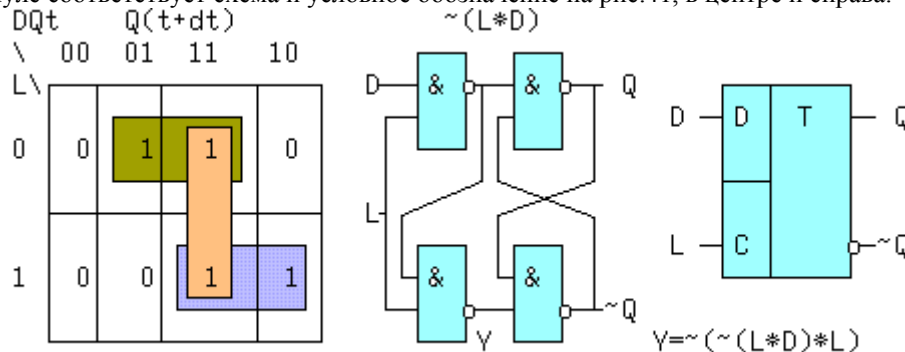


Рис. 41.

Если в уравнение вместо $\sim(D * L) * L$ подставить $\sim(D * L) * L = (\sim D + \sim L) * L = \sim D * L$ получится реализация D-триггера с использованием RS- триггера, но появится дополнительный инвертор. На рис.42 приведена схема такого триггера, дополненная асинхронными инверсными входами установки и сброса $\sim S$ и $\sim R$ (эти две перекрестные связи показаны двойными линиями).

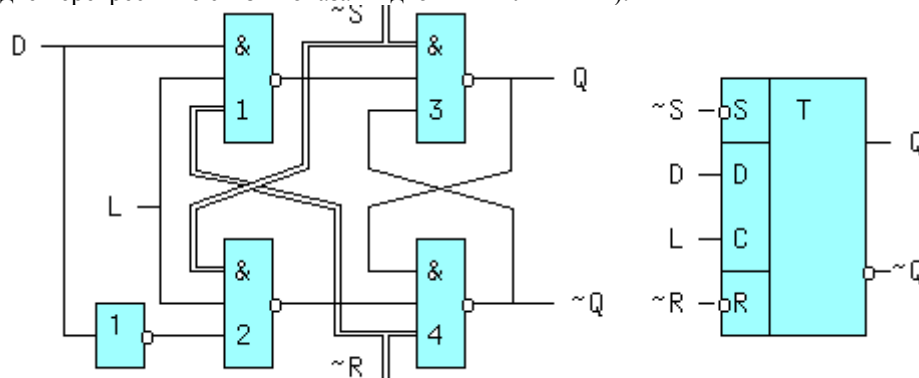


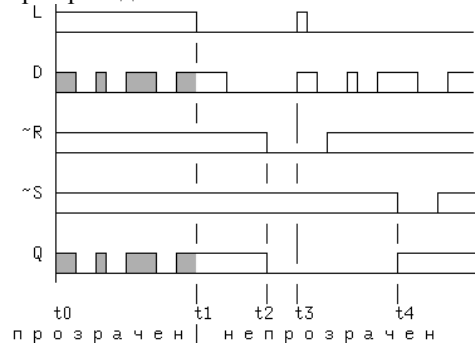
Рис. 42.

Если на вход $\sim S$ подать активный сигнал 0, а на вход $\sim R$ единицу, то $Q=1$ независимо от сигналов на остальных входах элемента 3. На выходе 2-го элемента по той же причине тоже единица. Три единицы встречаясь на входах элемента 4, дают на его выходе ноль, который попадая на вход 3-го элемента подтверждает его состояние. Триггер устанавливается в единицу. **Причем сигналы D и L не влияют на этот процесс. В силу этого, асинхронные входы ($\sim S$ и $\sim R$) имеют наивысший приоритет.** Вследствие симметричности асинхронных связей, аналогично протекает процесс при $\sim S=1$ и $\sim R=0$, но триггер,

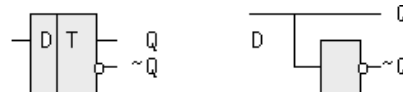
естественно сбрасывается ($Q = 0$). Уравнение синхронного D-триггера с асинхронными входами сброса/установки $\sim S$ и $\sim R$ записываются в следующем виде:

$$Q(t+dt) = S + \sim R * (\sim L * Q_t + L * D + D * Q_t). \quad (27)$$

В этом выражении до скобок записано уравнение асинхронного RS-триггера, а в скобках уравнение D-триггера. Нетрудно увидеть, что при $\sim S = 0$ ($S = 1$) и $\sim R = 1$ все выражение равно единице (установка триггера в "1"), а при $\sim S = \sim R = 1$, RS-триггер "отключается" и схема функционирует, как D-триггер. Временные диаграммы работы триггера приведены ниже.



С момента времени t_0 до момента t_1 сигнал загрузки $L = 1$ (на входах $\sim R$ и $\sim S$ пассивный уровень) и данные с входа D беспрепятственно проходят на выход Q (свойство прозрачности D-триггера со статическим управлением видно особенно наглядно). В момент t_1 триггер становится непрозрачным, информация защелкивается и последнее значение на выходе будет храниться до прихода нулевого уровня на вход $\sim R$ в момент t_2 . Состояние $Q = 0$ не изменится даже при $L = D = 1$ в момент t_3 . Триггер установится только в момент t_4 по сигналу $\sim S = 0$. Если вернуться к рис.41 и убрать из условного обозначения триггера вход S , получится повторитель и инвертор, как на приведенном рисунке, и эта схема не будет обладать свойствами памяти.



Поэтому асинхронных D -триггеров в природе не существует и определение "синхронный" по отношению к D-триггеру является избыточным.

4.1.4 D - ТРИГГЕР С ДИНАМИЧЕСКИМ УПРАВЛЕНИЕМ

Отличается от статического D-триггера свойствами $L(C)$ входа. **Запись информации происходит только в момент перехода тактового сигнала L из 0 в 1. При постоянном значении $L=0$, $L=1$ или отрицательном перепаде триггер хранит предыдущую информацию**, т.е. не обладает свойством прозрачности (см.таблицу состояний 7). Промышленно выпускаемые триггеры дополняются асинхронными инверсными входами установки и сброса $\sim S$ и $\sim R$ (рис.43).

Таблица 7.

Текущее состояние		Последующее состояние		Название режима			
$\sim S$	$\sim R$	L	D		Q_t	$Q(t+dt)$	$\sim Q(t+dt)$
1	1	0, 1,	X	Q	Q	$\sim Q$	Хранение инф-ии
			0	X	0	1	Установка в "0"
			1	X	1	0	Установка в "1"
0	1	X	X	X	1	0	Установка в "1"
1	0	X	X	X	0	1	Установка в "0"
0	0	X	X	X	1	1	"Неопред."сост-е

Q и X - принимают любое значение, но Q в пределах одной строки, неизменно. На схемах прямые динамические входы D- триггера обозначаются наклонной чертой "слева - снизу - вправо - вверх" или стрелкой внутрь.

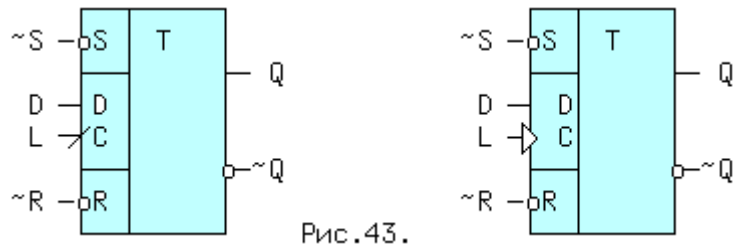


Рис.43.

Временные диаграммы триггеров с динамическим входом существенно изменяются. Действие асинхронных входов такое же, как в D-триггере со статическим управлением, поэтому на временных диаграммах они не указаны (рис.44).

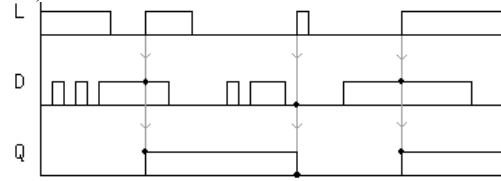


Рис.44.

4.1.5 УНИВЕРСАЛЬНЫЙ JK-ТРИГГЕР

JK-триггер имеет два информационных входа J и K, тактыый динамический вход, чаще инверсный, и два асинхронных входа установки и сброса. Его таблица состояний имеет вид:

Таблица 8

Текущее состояние						Последующее состояние		Название режима
$\sim S$	$\sim R$	C	J	K	Qt	Q(t+dt)	$\sim Q(t+dt)$	
1	1	0,1,	X	X	Q	Q	$\sim Q$	Хранение инф-ии
			0	0	Q	Q	$\sim Q$	Хранение инф-ии
			1	0	X	1	0	Установка в "1"
			0	1	X	0	1	Установка в "0"
			1	1	Q	$\sim Q$	Q	Счет по модулю 2 (деление частоты вх. имп. на 2)
0	1	X	X	X	X	1	0	Установка в "1"
1	0	X	X	X	X	0	1	Установка в "0"
0	0	X	X	X	X	1	1	Неопред. сост-е

Q и X - принимают любые значения, но Q в пределах одной строки, неизменно. Запись информации, при пассивных уровнях сигналов сброса ($\sim R$) и установки ($\sim S$), осуществляется только в моменты перехода сигнала C из 1 в 0, за исключением триггера типа ТВ15, который переключается положительным фронтом, т.е. JK - триггеры являются непрозрачными. Уравнение JK-триггера с асинхронными входами $\sim R$ и $\sim S$:

$$Q(t+dt) = S + \sim R (J*\sim Q_t + \sim K*Q_t). \quad (27.1)$$

Условные обозначения JK-триггера с инверсным динамическим входом приведено на рис.45. Наклонная черта "смотрит слева - направо - сверху - вниз", а стрелка повернута наружу. Универсальность JK - триггера будет продемонстрирована далее.

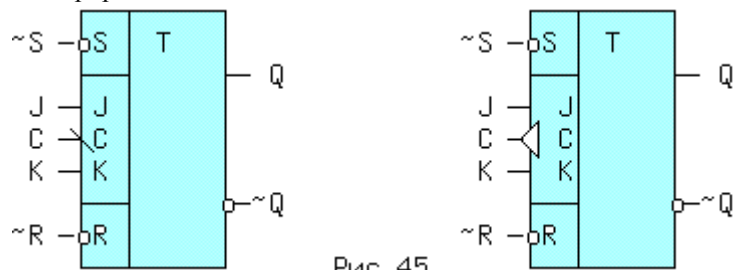


Рис.45.

Вторая, третья и четвертая строчки таблицы состояний идентичны соответствующим строчкам RS-триггера, если вход J уподобить входу S, а вход K - входу R. Отличие в том, что комбинация $J = K = 1$ определена и триггер в этом режиме приобретает очень полезное свойство (см. таблицу 8), при поступлении каждого отрицательного фронта на вход C, меняет значение сигнала на выходе, как показано на рис.46.

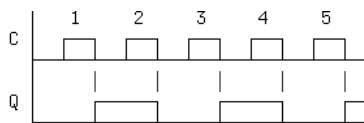


Рис.46.

4.1.6 Т - ТРИГГЕР

Анализ временной диаграммы при $J = K = 1$ (рис. 46) позволяет сделать два важных вывода. Во-первых, период повторения выходных импульсов увеличился в два раза, значит триггер в этом режиме делит частоту входных импульсов на два. Во-вторых, с приходом четного импульса выходной сигнал равен 0, а с приходом нечетного равен 1, т.е. триггер является счетчиком по модулю два. Триггер со счетным входом или Т - триггер промышленностью не выпускается, а реализуется с помощью динамического D, или JK - триггеров.

4.1.7 ВЗАИМНЫЕ ПРЕОБРАЗОВАНИЯ ТРИГГЕРОВ

JK триггер преобразуется в динамический D - триггер подключением инвертора к входу K (рис.47-1), при этом из четырех комбинаций сигналов: $J=K=0$, $J=K=1$, $J=0 K=1$, $J=1 K=0$ осуществлены будут две последних, т.е. синхронные установка и сброс. Если необходим прямой синхровход, к входу C подключается еще один инвертор. На рис.47-2 JK триггер включен по схеме Т - триггера со счетным входом ($J=K=1$). Счет можно прервать, подав на один из асинхронных входов 0.

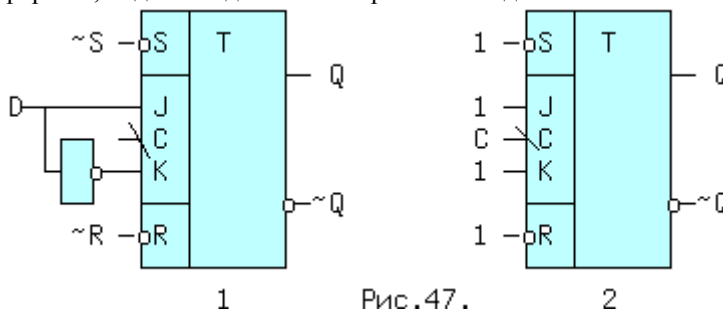


Рис.47.

D-триггер с динамическим управлением также преобразуется в Т-триггер, путем введения обратной связи с инверсного выхода на вход D. Тогда $Q(t+dt) = D$, но D в свою очередь равно $D = \sim Q$ и, следовательно $Q(t+dt) = \sim Q$, т.е. новое значение на выходе триггера является инверсией старого с каждым поступлением положительного перепада тактового импульса C (рис.48-1,2).

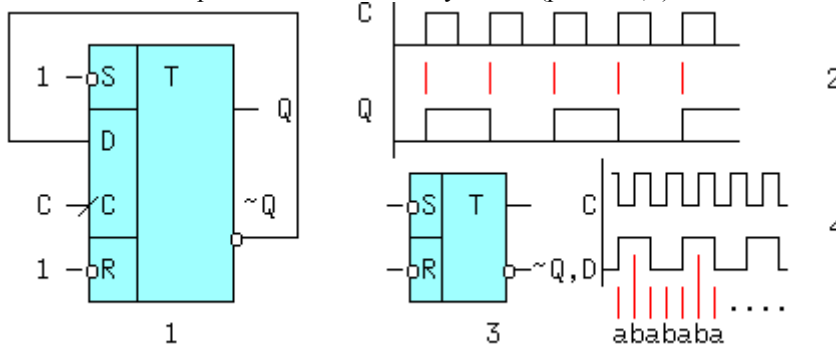


Рис.48

И, наконец, любой из перечисленных триггеров может быть использован в качестве асинхронного RS-триггера с инверсными входами (рис.48-3), невзирая на остальные сигналы, что объясняется наивысшим приоритетом входов $\sim S$ и $\sim R$.

Схема на рис.48-1 позволяет оценить максимальную частоту входных импульсов F_{max} на тактовом входе D-триггера в счетном режиме. В справочниках приводится задержка активного фронта сигнала от входа C до момента установления нового значения сигнала на выходе триггера $t_{зд.р.тр.} = t_{ba}$ (рис.48-4). Реже приводится время опережения установки $t_{уст} = t_{ab}$ информационным сигналом на входе D, активного фронта сигнала C. Новый активный фронт должен поступить не ранее окончания интервала времени равного сумме этих двух временных параметров. Отсюда следует, что максимальное значение $F_{max.деления} < 1 / (t_{зд.р.тр.} + t_{уст})$. Существует еще один параметр t_h - время удержания (hold) информационного сигнала относительно тактового (синхронизирующего), однако этим временем обычно можно пренебречь.

4.2 РЕГИСТРЫ

Последовательные схемы с различными комбинациями последовательного и параллельного способов записи и считывания информации. Выполняются на основе триггеров.

4.2.1 ПАРАЛЛЕЛЬНЫЕ И ПОСЛЕДОВАТЕЛЬНЫЕ РЕГИСТРЫ

Регистры с параллельной записью называются, также регистрами памяти. В них могут использоваться, как прозрачные "защелки", так и триггеры с динамическим управлением. На рис.49 приведена схема 8-ми разрядного регистра памяти с общим входом управления записью информацией и ее условное обозначение. Высокий уровень на входе С переписывает информацию с входа на выход ($Q_i=D_i$), а низкий уровень - защелкивает данные.

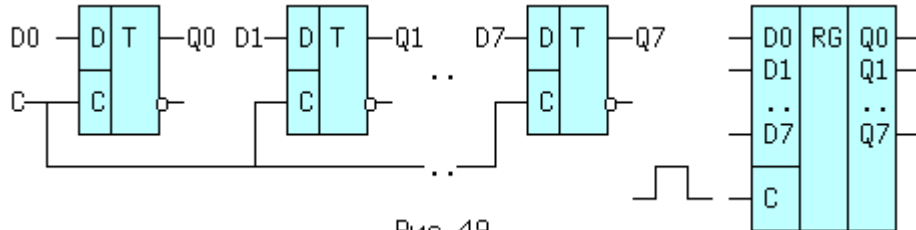


Рис.49.

Последовательные регистры или, как их еще называют, регистры сдвига (рис. 50) выполняются на основе триггеров с динамическим синхровходом, (справедливо для регистров с одним тактирующим сигналом). В двухтактных можно использовать и прозрачные регистры - "защелки". Функция записи в n-разрядном регистре сдвига на D-триггерах задается в виде условий: $D_0=DS=x$, $D_i=Q_{(i-1)}$, где $i=1,2,\dots,n-1$. DS - вход для последовательной записи.

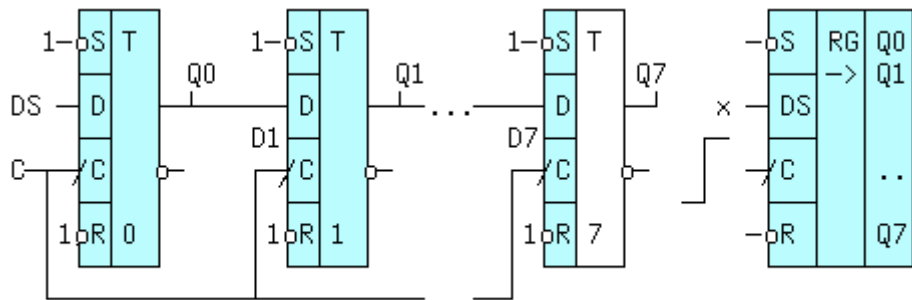


Рис.50.

С приходом очередного положительного фронта синхроимпульса С, сигнал с входа i-го триггера через время тзд.р. окажется на его выходе и поступит на вход следующего (i+1)-го триггера. Однако на его выход эта информация не переписывается, т.к. длительность активного фронта $t_{0,1}$ меньше тзд.р. На этом процесс сдвига данных на один разряд закончится до прихода следующего положительного фронта тактового сигнала. Отсюда понятно, почему нельзя использовать триггеры со статическим управлением. Каждый раз при $C = 1$ вся цепочка окажется прозрачной от входа DS до выхода Q7 и значение $DS = x$ будет записано во все триггеры.

В обозначениях регистров сдвига направление стрелки, указывающей сдвиг, условно. В разных справочниках, ее направление различно. Условно принимается, что сдвиг производится от младшего разряда к старшему. Практические схемы регистров дополняются схемами, подключаемыми к каждому триггеру и имеющими **вход параллельной записи D_i** , общий вход разрешения записи L и общий асинхронный вход сброса $\sim R$ всех триггеров. Эти схемы подключаются к незадействованным входам $\sim R_i$, $\sim S_i$ триггеров. Данному описанию соответствует таблица истинности 9.

Таблица 9.

Входы		Выходы			Название режима
L	D_i	$\sim R$	$\sim S_i$	$\sim R_i$	
X	X	0	1	0	Установка в "0" триггеров регистра
1	D_i	1	$\sim D_i$	D_i	Параллельная запись инф-ии в триггеры
0	X	1	1	1	Режим хранения или сдвига

D_i и X - могут принимать любые значения, но D_i в пределах одной строки, неизменно. Минимизируя логические функции $\sim R_i$ и $\sim S_i$ с помощью таблиц Карно получим: $\sim S_i = \sim(L * D_i * \sim R)$ и $\sim R_i = \sim R * (\sim L + D_i)$. Этой паре уравнений соответствует схема, показанная на рис.51, где приведено также условное обозначение регистра сдвига выполненного по такой схеме.

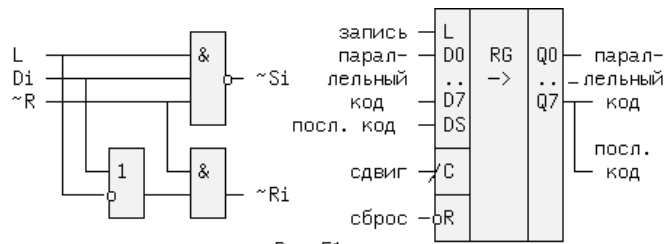


Рис. 51.

Вход $\sim R$ обладает наивысшим приоритетом, если $\sim R=0$, то $\sim Ri=0$, а $\sim Si=1$ и все триггеры обнуляются, независимо от сигналов L, Di и C . Меньшим приоритетом обладают входы L и Di . Если $\sim R = 1$, то при $L = 1$, производится параллельная запись информации и $Qi = Di$ независимо от сигнала C . И, наконец, если на входах $\sim R$ и L пассивные уровни, то $\sim Ri = \sim Si = 1$, тоже пассивный уровень и регистр хранит информацию, либо производит ее сдвиг.

Одно из применений регистров сдвига с параллельной загрузкой кода заключается в преобразовании параллельного формата данных в последовательный, передаче этих данных по однопроводной линии связи (вторая линия должна быть, как минимум "землей" или экраном) и обратном преобразовании последовательной информации в параллельную (рис. 52).

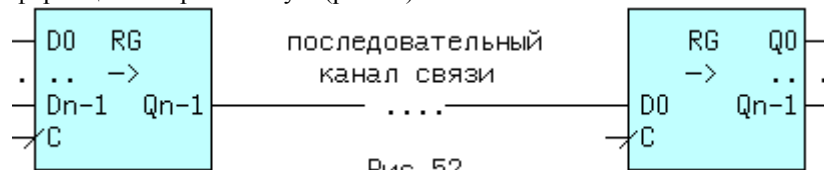


Рис. 52.

Такая схема применяется в коммуникационных портах ЭВМ (COM-порты), в микросхеме K580ИК51, а также в модемах.

4.2.2 РЕВЕРСИВНЫЙ РЕГИСТР СДВИГА

Название указывает, что сдвиг данных от разряда к разряду может производиться, как в одну сторону, так и в другую. Одна из возможных схем трехразрядного реверсивного регистра с двумя последовательными информационными входами, для сдвига информации влево DSL, и вправо DSR, с параллельными входами записи ($D0..D2$), синхровходом C , входом $\sim R$ установки в 0 всех триггеров и двумя входами выбора режима $M1, M0$, приведена на рис. 53.

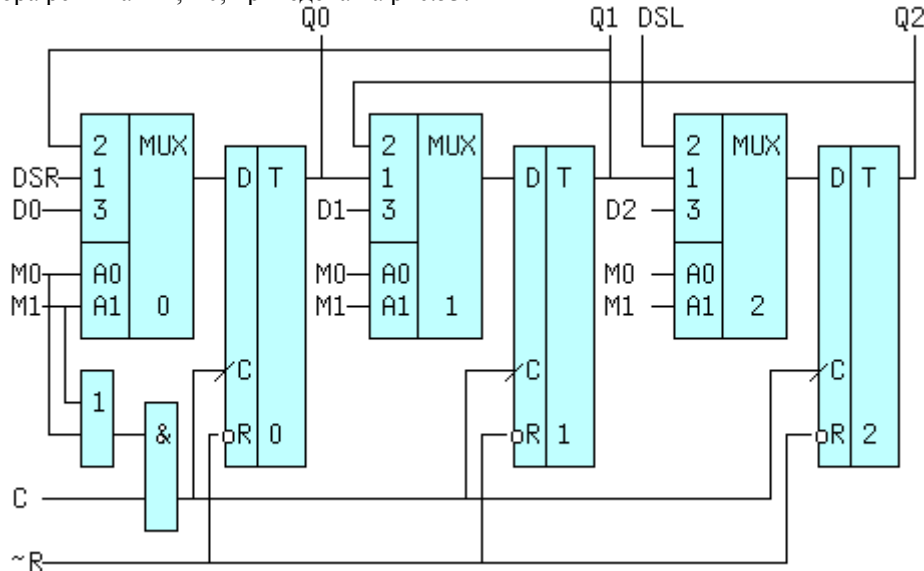
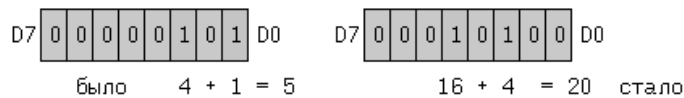


Рис. 53.

К D-входу любого разряда, за исключением крайних, подключены, через входы 1 и 2 мультиплексора, выходы и левого и правого соседних триггеров. Если $M1=0$, а $M0=1$, то к входам D подключены первые входы мультиплексоров и информация в каждый триггер, кроме нулевого записывается от левого соседа (происходит сдвиг вправо). Вход DSR служит в этом режиме для последовательного ввода информации. Если $M1=1$, $M0=0$, то к входам D подключены вторые входы мультиплексоров и информация в каждый триггер, кроме последнего записывается от правого соседа (происходит сдвиг влево). Для последовательного ввода данных в этом режиме используется вход DSL. При $M1=M0=1$ происходит параллельная запись $Qi=Di$ положительным фронтом тактового сигнала. Для хранения информации необходимо подать комбинацию $M1=M0=0$. В этом случае к D-входам триггеров подключатся нулевые входы мультиплексоров (на схеме не показаны). Чтобы не произошло несанкционированной записи схема ИЛИ-И запрещает в этом режиме прохождение синхроимпульсов. По такой схеме выполнен 8-разрядный

регистр 1533ИР13. Реверсивный регистр может использоваться для быстрого (всего за n тактов) деления и умножения двоичных чисел на 2^n , где n -число сдвигов. Например вместо числа 5, после сдвига влево на 2 разряда, стало число 20.



4.2.3 СИНХРОННЫЙ И АСИНХРОННЫЙ СПОСОБЫ ЗАГРУЗКИ ПАРАЛЛЕЛЬНОГО КОДА

Устройства (в том числе регистры), в которых для записи входного параллельного кода D_i используется сигнал разрешения записи L , а тактовый сигнал C не используется, называются устройствами с *асинхронной параллельной записью кода*.



Устройства (в том числе регистры), в которых для записи входного параллельного кода D_i необходим, во-первых, сигнал разрешения записи L и, во-вторых, перепад синхросигнала на тактовом входе C - называются устройствами с *синхронной параллельной записью кода*.

Условные обозначения таких входов могут совпадать поэтому для точной идентификации способа записи необходимо обращаться к справочникам (таблица состояний либо описание).

4.3 СЧЕТЧИКИ

Счетчик (Сч) - последовательная схема, преобразующая поступающие на вход импульсы в код Q , пропорциональный их количеству. Большинство счетчиков снабжено выходом переноса CR . Для двоичного и двоично-десятичного кода, как впрочем и для других систем счисления, справедливы следующие соотношения:

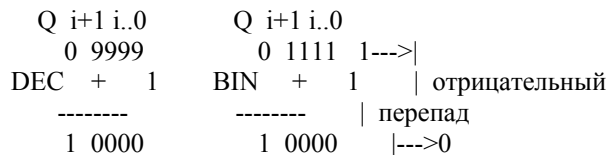
$$Q = (D + \text{SUM}(C)) \bmod M$$

$$CR = (D + \text{SUM}(C)) \setminus M$$

В этих формулах: Q - код на выходах счетчика, D - начальное значение записанное в счетчик, $\text{SUM}(C)$ - сумма импульсов поступивших на вход в процессе счета и M - модуль счета или число различных состояний счетчика (число импульсов поступивших на счетный вход, после которых счетчик возвращается в исходное состояние), CR - число импульсов переноса, возникающих при возврате счетчика в исходное состояние на одноименном выходе, \bmod - операция нахождения остатка при делении на M , \setminus - операция целочисленного деления. Если $D = 0$ и $\text{SUM}(C) < M$, то очевидно, что $Q = \text{SUM}(C)$ и $CR = 0$. С приходом каждого M -ного импульса счетчик возвращается в исходное состояние. Пример: пусть $D = 17$, $\text{SUM}(C) = 9$, $M = 8$, тогда $Q = 26 \bmod 8 = 2$, а $CR = 3$.

Счетчики выполняются на триггерах со счетным входом (Т-триггерах). По способу счета Сч могут быть суммирующие, вычитающие и реверсивные, т.е. изменяющие направление счета. По способу переключения триггеров делятся на асинхронные и синхронные. В асинхронных счетчиках триггеры переключаются последовательно (асинхронно) от разряда к разряду, а в синхронных одновременно. Один Т-триггер обеспечивает модуль счета $M = 2$, а n триггеров дадут $M = 2^n$. При суммировании импульсов необходимо формировать перенос из i -го в $(i+1)$ -ый разряд по следующему правилу.

Правило 1: перенос CR из i -го в $(i+1)$ -ый разряд формируется, если во всех разрядах с i -го по 0-й записана максимальная для данной системы счисления цифра, при этом разряды младше $(i+1)$ -го обнуляются.

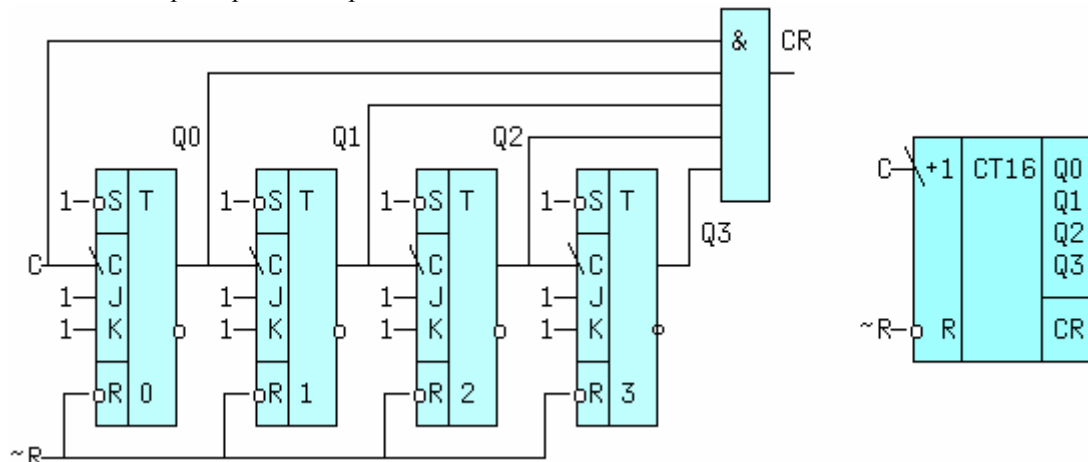


На прямых выходах триггеров этих разрядов Q_i формируется отрицательный перепад (см. рисунок), а на инверсных - положительный.

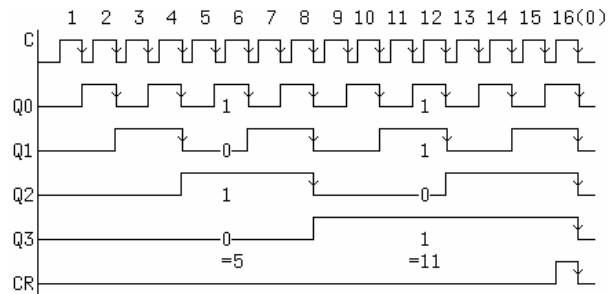
Отсюда вытекает правило 2: Если в Сч используются триггеры с прямым динамическим входом, то сигнал переноса в суммирующем счетчике снимается с инверсных выходов предыдущих триггеров, а если триггеры с инверсным динамическим входом, то сигнал переноса берется с прямых выходов.

4.3.1 АСИНХРОННЫЙ СЧЕТЧИК С ПОСЛЕДОВАТЕЛЬНЫМ ПЕРЕНОСОМ

В качестве примера возьмем четырехразрядный счетчик. Четыре двоичных разряда счетчика обеспечивают $M = 16$ состояний. Ниже приведена схема и условное обозначение такого счетчика, выполненная на JK-триггерах с инверсными динамическими входами



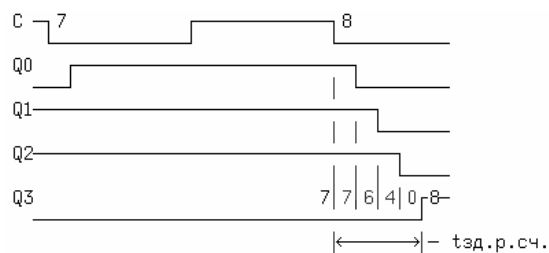
По правилу 2 сигналы переносов должны сниматься с прямых выходов триггеров, которые переключаются последовательно друг за другом, т.е. асинхронно. Триггеры поставлены в режим счета ($J = K = 1$). Счетчик дополнен схемой формирования ускоренного переноса CR (Carry), выход которой может быть подключен к счетному входу С следующего такого же счетчика. Входы $\sim R$ всех триггеров объединены, а на входы $\sim S$ подана "лог.1", что позволяет "сбрасывать" счетчик сигналом $\sim R = 0$. Счетный вход суммирующего счетчика обозначается "+1". Временные диаграммы схемы, без учета задержки сигнала даны на рисунке.



Анализ временных диаграмм позволяет сделать ряд выводов:

- 1) После n -го по счету входного импульса код на выходах $Q = Q_3Q_2Q_1Q_0 = n$, например после 5-го, код $Q = 0101 = 5$, а после 11-го - $Q = 1011 = 11$ (DEC), т.е. схема действительно является счетчиком.
- 2) С приходом активного фронта 16-го импульса все триггеры "сбрасываются" и далее процесс повторяется, т.е. модуль счета $M=16$.
- 3) Схема также является делителем частоты входных импульсов на 2 в степени $(i+1)$, где i - номер триггера, с которого снимается выходной сигнал.
- 4) Если снимать выходной код с инверсных выходов, то нетрудно заметить, что начальное значение $Q = Q_0Q_1Q_2Q_3 = 1111 = 15$, т.е. максимальному числу для четырех разрядов и далее, с приходом очередного импульса, код на выходах уменьшается на 1. В этом случае счетчик называют вычитающим. Такого же результата можно добиться, если снимать переносы с противоположных выходов триггеров, а код по-прежнему с прямых. Убедиться в этом нетрудно, самостоятельно построив временные диаграммы. Счетный вход вычитающего счетчика обозначается "-1".
- 5) Важно также отметить, что задний фронт импульса переноса совпадает с моментом перехода всех триггеров из 1 в 0, для суммирующего счетчика и с моментом перехода из 0 в 1 - для вычитающего.

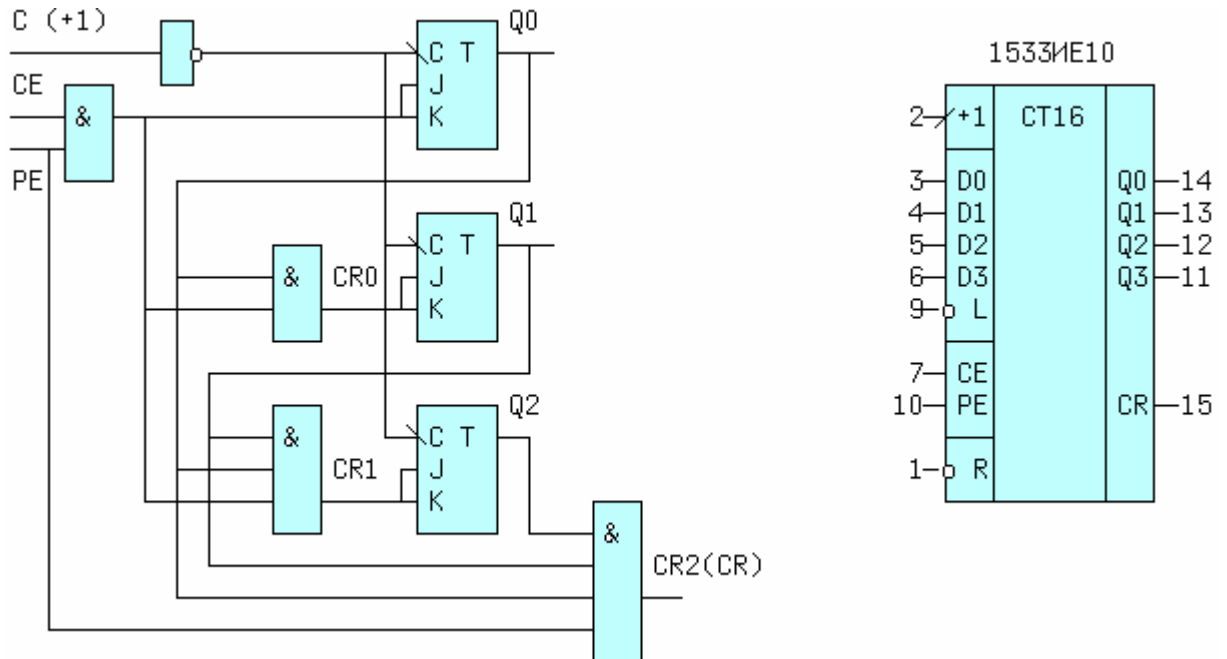
Скорость счета или максимальная частота входных импульсов определяется задержкой сигнала от момента прихода активного фронта счетного импульса до появления нового кода на выходе последнего триггера: $t_{зд.р.сч} = n * t_{зд.р.триггера}$, где n - число триггеров. Тогда $F_{макс.сч} < 1/t_{зд.р.сч}$. На рис.56. показан процесс последовательного переключения отдельных триггеров счетчика с приходом восьмого импульса.



Выходной код в течение интервала тзд.р.сч. принимает недопустимые значения (6,4,0). Скорость деления частоты входного сигнала не зависит от количества триггеров и определяется максимальной частотой переключения входного триггера, т.е. $F_{\max. \text{деления}} < 1/(\text{тзд.р.триггера} + \text{туст})$ и больше $F_{\max. \text{счета}}$.

4.3.2 СИНХРОННЫЙ СЧЕТЧИК С ПАРАЛЛЕЛЬНЫМ ПЕРЕНОСОМ

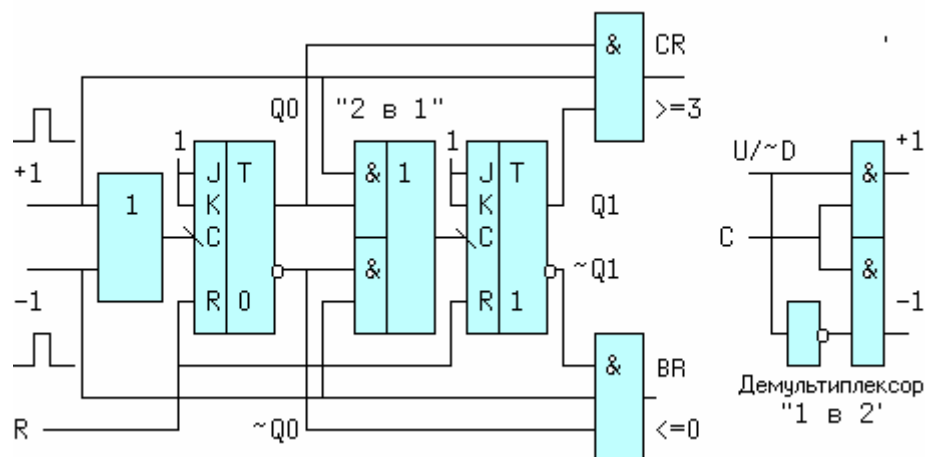
В синхронном счетчике импульсы поступают на тактовые входы всех триггеров одновременно. Ниже на рисунке ниже приведен трехразрядный счетчик с модулем счета $M = 8$. Справа приведено условное обозначение промышленно выпускаемого счетчика, дополненного входами D_i для параллельной синхронной загрузки начального кода перепадом сигнала на входе $C(+1)$ при $\sim L = 0$, а также входом сброса $\sim R$.



Перенос из i -го разряда в $(i+1)$ -ый производится по формуле $CR_i = Q_i \cdot Q_1 \cdot Q_0 \cdot (CE \cdot PE)$ с помощью элементов "И". Входы CE (разрешение счета) и PE (разрешение переноса) на данном этапе рассмотрения могут быть объединены вместе ($CE = PE = 1$). Входы J и K триггеров соединены, поэтому возможно только два режима их работы - память ($J = K = 0$) и счет ($J = K = 1$). Триггер "i" изменит свое состояние только тогда, когда $CR_{(i-1)} = J = K = 1$, т.е. при единичных значениях выходов всех предыдущих триггеров, что отвечает правилу 1. Во всех остальных случаях $CR_{(i-1)} = J = K = 0$ и значение Q_i не изменится. Быстродействие синхронного счетчика значительно выше, из-за того, что триггеры переключаются одновременно и сигнал CR_i появится на JK входах через интервал тзд.р.сч. = тзд.р.триггера + тзд.р.элемента "И", который не зависит от числа триггеров. Частота счета $F_{\max} < 1/(\text{тзд.р.сч.} + \text{туст})$. Максимальная частота деления $F_{\max. \text{деления}} = F_{\max. \text{счета}}$.

4.3.3 РЕВЕРСИВНЫЙ СЧЕТЧИК

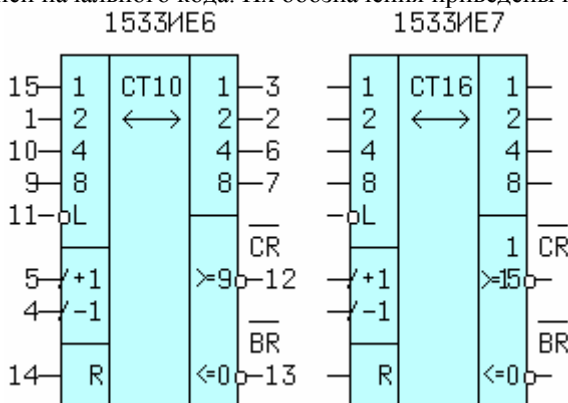
Схема двухразрядного счетчика с общим входом сброса R, выходом переноса CR при суммировании и выходом переноса BR при вычитании приведена на рис. внизу.



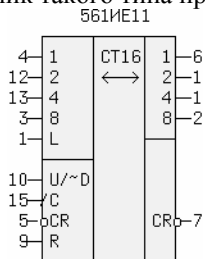
Предположим, что начальное значение кода равно 2 ($Q_1 = 1$ и $Q_0 = 0$). Рассмотрим режим суммирования, когда на входе "-1" - действует ноль, а на вход "+1" приходит импульс. Отрицательный фронт входного импульса не пройдет через верхний канал мультиплексора "2 в 1", выполненного на элементе И-ИЛИ-НЕ, этому препятствует старое значение $Q_0=0$. На входах нижнего канала действует конъюнкция единицы ($\sim Q_0 = 1$) и нуля. Поэтому сигнал на выходе мультиплексора равен нулю и триггер Т1 сохраняет старое значение. Через время, равное задержке элемента ИЛИ отрицательный фронт поступит на счетный вход триггера Т0, и еще через время задержки триггера на его выходах установится новое значение $Q_0 = 1$ ($\sim Q_0 = 0$). При этом верхний канал открывается для прохождения отрицательного фронта счетного импульса, но т.к. длительность фронта $t_{1,0}$ значительно меньше суммарного времени задержки $t_{зд} = t_{зд.р.ИЛИ} + t_{зд.р.триггера}$, на входах "+1" и "-1" к этому времени уже действуют нули и выходной сигнал мультиплексора по прежнему равен 0. Триггер Т1 остается в прежнем состоянии. Новый код на выходах счетчика увеличился на 1 и стал равен $Q_1Q_0 = 11 = 3$, до следующего импульса.

Рассмотрим режим вычитания, когда на входе "+1" - действует ноль, а на вход "-1" приходит импульс. Отрицательный фронт входного импульса беспрепятственно пройдет через нижний канал мультиплексора, т.к. $\sim Q_0 = 1$ и переключит триггер Т1. Спустя время $t_{зд}$ новый код появится и на выходах триггера Т0, но отрицательный перепад с выхода $\sim Q_0$ не пройдет на счетный вход триггера Т1, по причине того, что сигнал на входе "-1" к этому времени уже равен нулю. Старый код 10 на выходах счетчика сменился кодом 01, т.е. уменьшился на 1.

Примерно так выполнены счетчики типа 1533ИЕ6 и 1533ИЕ7, с дополнительным асинхронным входом $\sim L$ параллельной записи начального кода. Их обозначения приведены на рисунке.



В некоторых счетчиках предпочтительней иметь один тактовый вход и вход управления направлением счета. Для этого к входам "+1" и "-1" подключают демультиплексор "1 в 2". В этом случае, если управляющий сигнал $U/\sim D = (Up/\sim Down) = 1$, тактовые импульсы С поступают на вход суммирования, а если он равен нулю - на вход вычитания. Счетчик такого типа приведен на рисунке внизу.

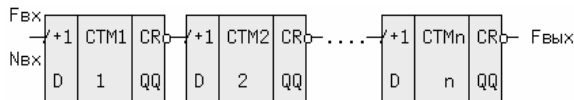


4.3.4 КАСКАДНОЕ ВКЛЮЧЕНИЕ СЧЕТЧИКОВ

Рассмотрим последовательное включение n - счетчиков с различными модулями счета M_i . Возможна постановка двух задач.

В первой необходимо определить частоту сигнала на выходе переноса CR_i каждого счетчика при частоте входного сигнала $F_{вх}$.

Во второй - какой код будет зафиксирован на выходах QQ каждого счетчика после подачи $N_{вх}$ импульсов?



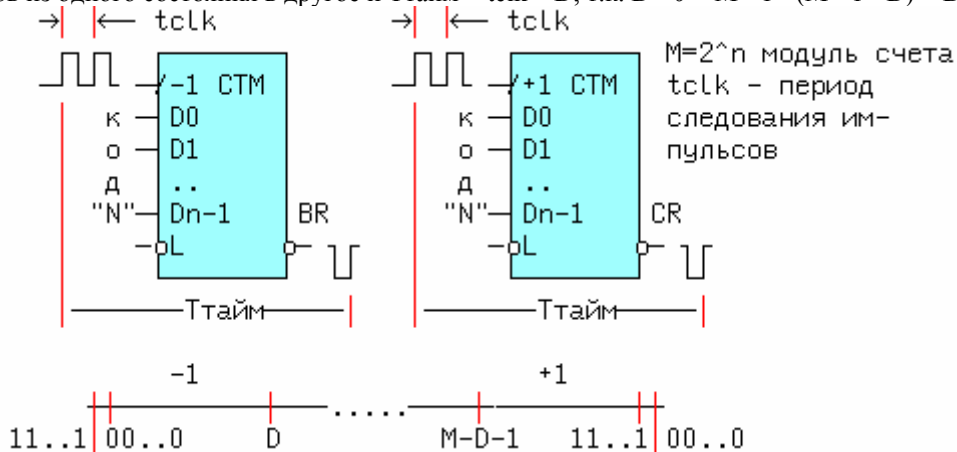
Для решения воспользуемся формулами счетчика.

Тогда в первой задаче на выход переноса первого счетчика пройдет $CR_1 = (D_1 + F_{вх}) \setminus M_1$ - импульсов за единицу времени (1 сек). Раскрывая скобки и учитывая, что $D < M$, найдем $CR_1 = F_{вх} \setminus M_1 = F_{вх} / M_1$. Аналогично найдем, что на выход переноса второго счетчика пройдет $CR_2 = F_{вх} \setminus M_2 = F_{вх} / (M_1 * M_2)$ импульсов. Окончательное решение даст $CR_n = F_{вых} = F_{вх} / (M_1 * M_2 * \dots * M_n)$.

Во второй задаче код на выходе 1-го счетчика $QQ1 = (D1 + Nvx) \bmod M1$, код на выходе второго счетчика $QQ2 = (D2 + CR1) \bmod M2$, и так далее до $QQn = (Dn + CR(n-1)) \bmod Mn$, причем величины CRi вычислены в первой задаче.

4.3.5 СЧЕТЧИК - ТАЙМЕР

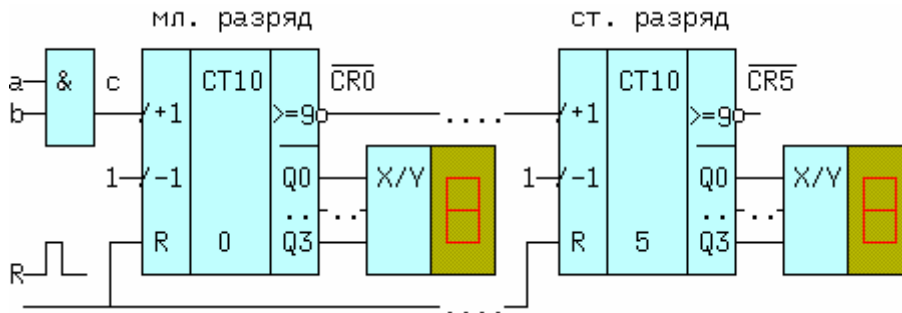
Служит для формирования временных отрезков заданной длительности. Таймер может выполняться на вычитающих счетчиках или, в некоторых случаях, на суммирующих. Общим для этих схем является параллельная загрузка начального кода и остановка счета в момент переполнения счетчика. При этом интервал времени отсчитывается от активного фронта первого счетного импульса до заднего фронта сигнала переноса. Если требуется сформировать задержку в D секунд при $tclk = 1$ сек., то начальный код N , загружаемый в вычитающий счетчик равен D . В суммирующий счетчик требуется записать $N = M - 1 - D$ (число $M - 1 = 11..1$). Как видно из диаграммы и в том, и в другом случае требуется $D + 1$ импульсов, для перехода всех триггеров из одного состояния в другое и $T_{тайм} = tclk * D$, т.к. $D - 0 = M - 1 - (M - 1 - D) = D$.



4.3.6 ПРИМЕНЕНИЕ СЧЕТЧИКОВ В ИЗМЕРИТЕЛЬНОЙ ТЕХНИКЕ

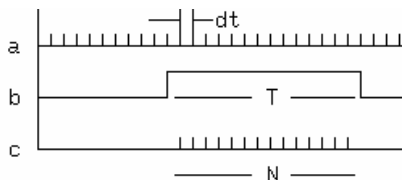
На рисунке внизу последовательно включены 6 счетчиков с модулем 10 (двоично - десятичные). Информационные выходы Qi каждого каскада через преобразователь BCD кода подключены к семисегментному индикатору.

В целом устройство может решать три задачи: считать количество импульсов, измерять их частоту следования и длительность.



Перед любыми измерениями необходимо очистить счетчики, подав на вход R импульс сброса. 1) Для подсчета количества импульсов необходимо подать их на оба входа схемы И (или только на один, а на другой 1). Пусть на эти входы поступило $N = 1997$ импульсов. Тогда на выходах младшего счетчика останется код $QQ0 = 1997 \bmod 10 = 7$. На выход переноса пройдет $CR0 = 1997 \setminus 10 = 199$ импульсов, и далее $QQ1 = (199 \bmod 10) = 9$ и $CR1 = 199 \setminus 10 = 19$. В конце счета на выходах счетчиков будет зафиксирован BCD код = 0000 0000 0001 1001 1001 0111, а на индикаторах высветится число 001997. Внимание! У счетчиков на схемах младший разряд находится слева, а в числах - справа. В общем виде десятичный эквивалент BCD кода на выходах будет иметь вид: $N = QQ(n-1) * 10^{(n-1)} + \dots + QQ1 * 10^1 + QQ0 * 10^0$. Из этого выражения следует, что N находится в диапазоне: $1 \leq N \leq 999999$.

2) При измерении частоты входных импульсов, их необходимо подвести к входу "a", а на вход "b" подать импульс калиброванной длительности T равной 10^i ($i = \dots, -1, 0, 1, \dots$), например $T = 1$ сек, как на рисунке внизу.



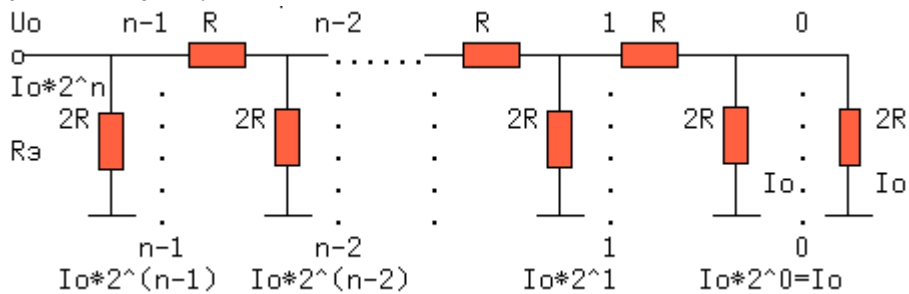
Частота повторения импульсов на входе "а" равна по определению: $F = 1/dt$. Из диаграмм "b" и "с" можно найти период повторения $dt = T / N$, с погрешностью dt / T . Тогда $F = N / T$ и при $T = 1с$ частота $F = N$. Диапазон измерения находится в пределах: $(1...(10^6)-1)$ Гц. Для измерения длительности импульса на вход "а" необходимо подать сигнал с частотой $F = 10^i$ ($i=2,3,..$), например $F = 10^6$ [Гц]. Длительность импульса $T = N * dt = N / F$ и диапазон ее измерения равен $(1..999999)$ мксек.

5. ЦАП И АЦП

Цифроаналоговые преобразователи (ЦАП) численные данные преобразуют в аналоговый сигнал, чаще в напряжение или в ток и служат для связи цифровых и выходных устройств. **Аналогоцифровые преобразователи (АЦП)** осуществляют обратное преобразование и являются промежуточными звеньями между датчиками сигналов и цифровыми схемами их обработки.

5.1 ЦАП С МАТРИЦЕЙ РЕЗИСТОРОВ R-2R

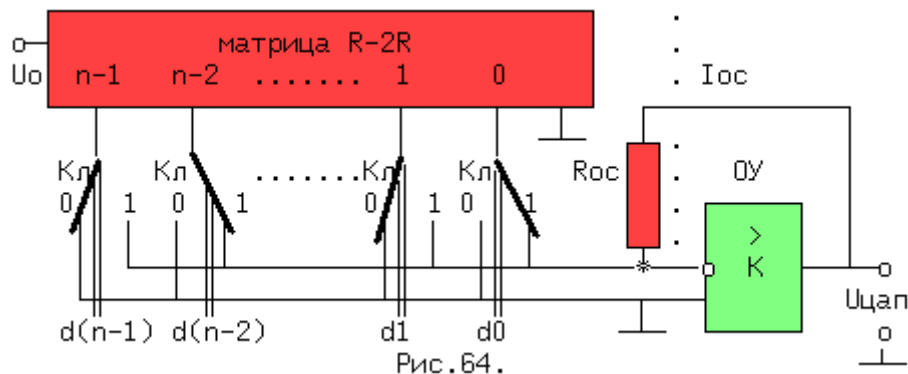
В ЦАП используется метод суммирования токов, пропорциональных весовым коэффициентам двоичных разрядов. К входу матрицы подключается прецизионный источник опорного напряжения U_0 с током потребления $I_{вх} = I_0 * 2^n$.



Эквивалентное сопротивление цепи справа от "сечения 0" равно $R_{э0} = 2R$. Сопротивление цепи справа от "сечения 1" равно $R_{э1} = R + 2R || R_{э0} = 2R$. Значком $||$ обозначено параллельное соединение двух сопротивлений. Рассуждая таким образом найдем, что $R_{эn-1} = R + 2R || R_{эn-2} = 2R$ и полное сопротивление цепи со стороны входа, на который подается напряжение U_0 , равно $R_{э} = 2R || R_{эn-1} = R$, т.е. равно номиналу R независимо от числа звеньев матрицы. Теперь можно найти величину тока

$$I_0 * 2^n = U_0 / R \quad (1)$$

Нетрудно подсчитать, что ток в узле $n-1$ делится пополам, одна половина ответвляется в сопротивление $2R$, а другая в сопротивление $R_{эn-1}$ тоже равное $2R$. Половина попадающая в узел $n-2$ также делится пополам и т.д. Величина тока в каждой "ветке" равна $I_0 * 2^i$, т.е. пропорциональна весовому коэффициенту 2^i . Суммирование токов осуществляется с помощью операционного усилителя (ОУ), включенного по схеме сумматора (см. рис.64). Часть схемы, слева от ОУ, выпускается промышленно в виде микросхем, например К572ПА1,2 и 1108ПА1.



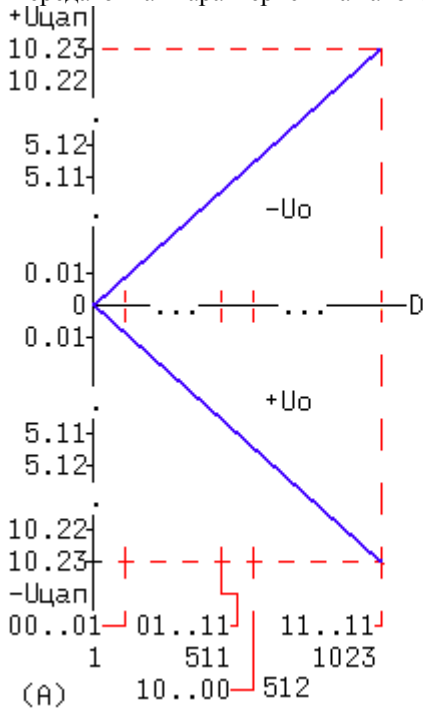
Электронные ключи Кл управляются входными сигналами d_i цифрового кода. Левое положение ключа на рисунке эквивалентно нулевому значению i -го разряда, а правое - единичному. Относительно ОУ необходимо сделать известные допущения:

- 1) Коэффициент усиления ОУ без ОС стремится к бесконечности,
- 2) $R_{вх}$ обоих входов тоже бесконечно велико.

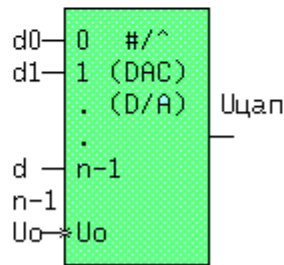
Отсюда следует, что во-первых разность потенциалов $dU_{вх}$ на входах ОУ близка к нулю, т.к $dU_{вх} = U_{цап} / (K = \text{бесконечности})$ и следовательно потенциал инверсного входа ОУ тоже близок к нулю и, во-вторых, током каждого входа ОУ можно пренебречь. Сумма токов втекающих в узел (*) и вытекающих из него равна нулю, поэтому можно записать: $I_{ос} + \text{сумма}(I_0 * 2^i * d_i) = 0$ или $\text{сумма}(I_0 * 2^i * d_i) = -I_{ос}$. Подставляя в последнее выражение значение I_0 из формулы (1) получим: $-I_{ос} = (U_0 / (R * 2^n)) * (\text{сумма}(d_i * 2^i))$. В свою очередь, $U_{цап} = I_{ос} * R_{ос}$. Подставляя сюда значение $I_{ос}$ и учитывая, что $R_{ос} = R$ получим окончательную формулу напряжения на выходе ЦАП:

$$U_{\text{цап}} = - \frac{U_0}{2^n} \sum_{i=0}^{n-1} (2^i * d_i) = - \frac{U_0 * D}{2^n}, \quad (2)$$

где $D = \sum_{i=0}^{n-1} (2^i * d_i)$ - десятичный эквивалент цифрового кода на входах ЦАП. Пусть число разрядов $n = 10$ и $U_0 = -10.24\text{В}$, тогда $U_{\text{цап}} = (10.24/1024) * D$ и находится в пределах (0, 0.01, 0.02 ... 10.22, 10.23)В. Передаточная характеристика такого ЦАП показана на рисунке.

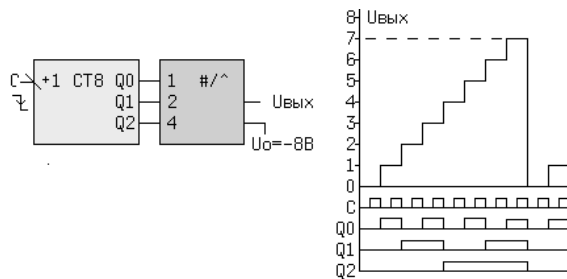


Такой ЦАП называется: 1) униполярным, т.к. $U_{\text{цап}}$ в зависимости от полярности U_0 , либо отрицательно, либо положительно, 2) двухквadrантным, потому что передаточная характеристика располагается в 2-х квадрантах, 3) умножающим, т.к. $U_{\text{цап}}$ пропорционально $U_0 * D$. Условное обозначение униполярного ЦАП приведено ниже. Количество разрядов ЦАП доходит до 20. Некоторые ЦАП дополнительно снабжены двумя регистрами, в одном из которых хранится старый код, а в другой записывается новый код.

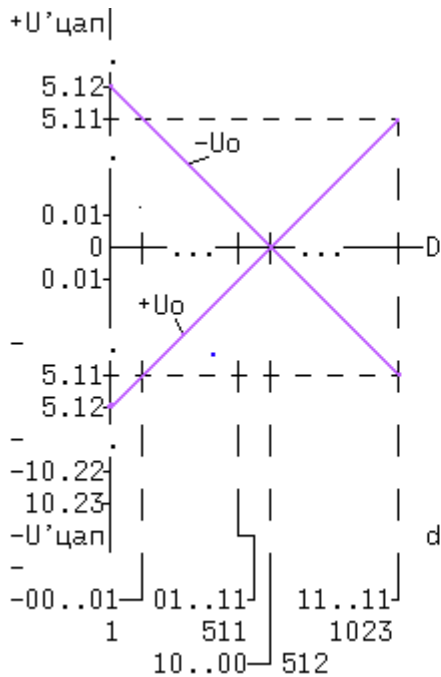


Верхний квадрант относится к $-U_0$, а нижний к $+U_0$.

На рисунке внизу показано применение униполярного ЦАП для формирования пилообразного напряжения.

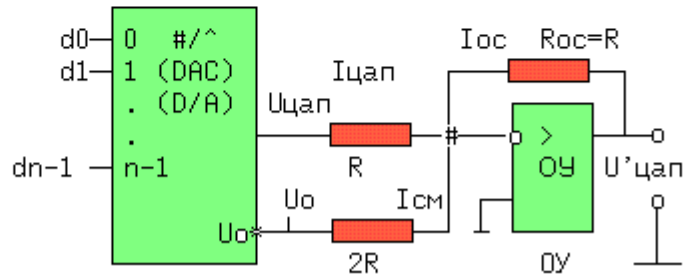


5.2 БИПОЛЯРНЫЙ ЦАП



БИПОЛЯРНЫЙ ЦАП

Если необходимо менять знак выходного напряжения в зависимости от значений входного кода, а знак U_o изменить невозможно, применяется биполярный ЦАП, в котором характеристика смещается на половину своего диапазона. К выходу униполярного ЦАП подключается еще один ОУ-сумматор токов. Для узла (#) можно составить уравнение: $I_{oc} + I_{цап} + I_{см} = 0$ или $I_{oc} = -(I_{цап} + I_{см})$. Величину $I_{см}$ легко определить из рисунка $I_{см} = U_o / 2R$. Ток $I_{цап} = U_{цап} / R = -(U_o * D) / (2^n * R)$. Тогда $U'_{цап} = I_{oc} * R_{oc} = U_o * D / 2^n - U_o / 2$.

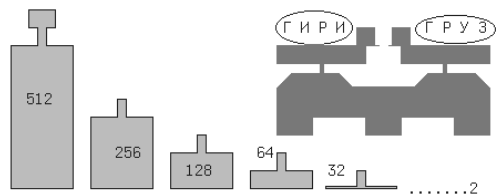


5.3 ЧЕТЫРЕХКВАДРАНТНЫЙ ЦАП

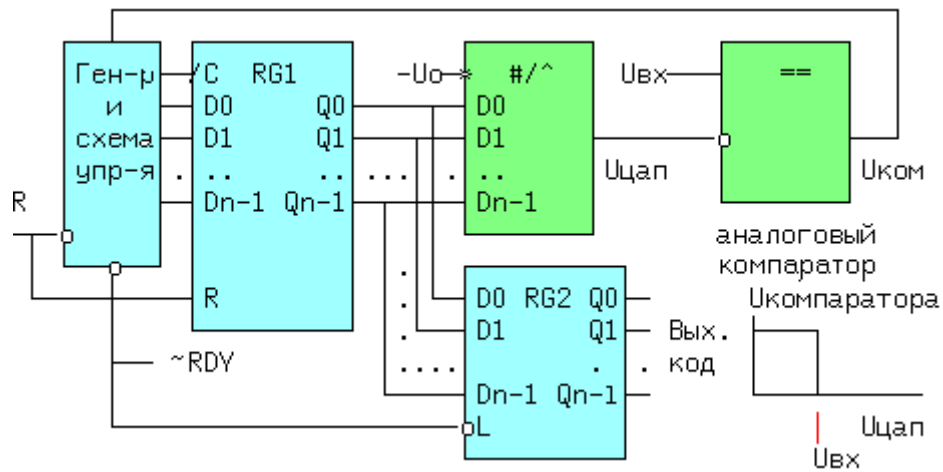
Недосток биполярного ЦАП - ненулевое значение входного кода при нулевом выходном напряжении. Преодолеть этот недостаток можно, если договориться какие-то двоичные числа считать положительными, а другие - отрицательными. Одним из двоичных кодов для чисел со знаком является "дополнительный до двух" код, в котором число с противоположным знаком находится инверсией исходного числа и увеличением результата на единицу. Причем старший бит обозначает знак числа. Если он равен единице, число отрицательное, если равен нулю - положительное. Минимальное отрицательное 10-ти разрядное число 10..00(BIN) = -512(DEC). Максимальное положительное 01..11(BIN) = 511. Максимальное отрицательное 10-ти разрядное число 11..11(BIN) = -1(DEC). Минимальное положительное 00..01(BIN) = 1(DEC). Проинвертировав старший бит, получим передаточную характеристику расположенную в зависимости от знака U_o в четырех квадрантах, с нулем посередине. Такой ЦАП называется четырехквadrантным.

5.4 АЦП ПОРАЗРЯДНОГО УРАВНОВЕШИВАНИЯ (ПОСЛЕДОВАТЕЛЬНЫХ ПРИБЛИЖЕНИЙ)

Метод аналогичен взвешиванию груза. В старший разряд регистра записывается 1 (на весы кладется самая большая гиря). Если входное напряжение больше напряжения соответствующего этой единице (груз тяжелее гири), единица в старшем разряде сохраняется (гиря остается на весах), если наоборот - единица заменяется нулем (гиря снимается). Затем единица записывается в предпоследний разряд (ставится следующая гиря) и процесс уравнивания повторяется. Количество приближений равно числу разрядов преобразователя.



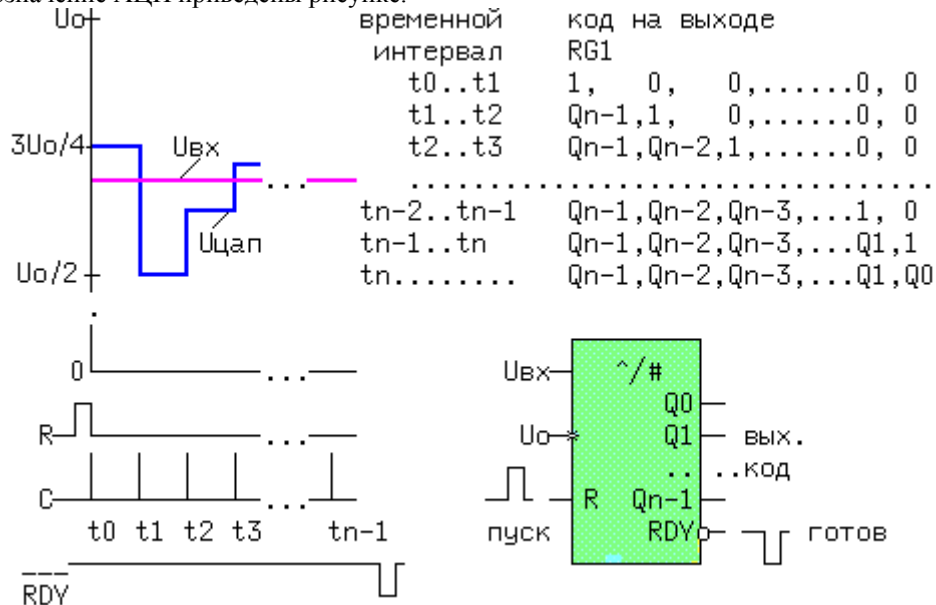
Пусть число разрядов АЦП равно 10 (см. рисунок внизу). ЦАП начинает цикл преобразования с приходом "положительного" импульса на вход R. Высоким уровнем этого сигнала регистр RG1 обнуляется, а переход сигнала R к нулю запускает внутренний генератор и схему управления.



В момент t_0 в старший разряд регистра RG1 записывается лог."1" (гиря с наибольшим весом). На выходах регистра RG1 появляется код $10..00(\text{BIN}) = 2^{(n-1)} = 512$. ЦАП генерирует напряжение $U_{\text{цап}}(n-1) = U_0 * 2^{(n-1)} / 2^n = U_0 / 2$. Аналоговый компаратор сравнивает напряжения, и если $U_{\text{цап}}(n-1) \leq U_{\text{вх}}$, то единица в старшем разряде сохраняется, если $U_{\text{цап}}(n-1) > U_{\text{вх}}$, в старший разряд записывается ноль.

В момент t_1 единица записывается в предпоследний разряд (n-2) и на выходах регистра RG1 появится код: $Q_{n-1}, 1, 0, 0, \dots, 0$ равный сумме двух кодов: $(Q_{n-1}) * 2^{(n-1)}$ - значения старшего бита, полученного в предыдущем такте, и $2^{(n-2)} = 0100..0(\text{BIN}) = 256$ - цифрового кода с уменьшенным в два раза "весом". Выходное напряжение $U_{\text{цап}}(n-2) = U_{\text{цап}}(n-1) * Q(n-1) + U_0 * 2^{(n-2)} / 2^n = (U_0 / 2) * Q(n-1) + U_0 / 4$ опять сравнивается с входным. Если $U_{\text{цап}}(n-2) \leq U_{\text{вх}}$, то единица в предпоследнем разряде сохраняется, если $U_{\text{цап}}(n-2) > U_{\text{вх}}$, в (n-2)-ой разряд записывается ноль.

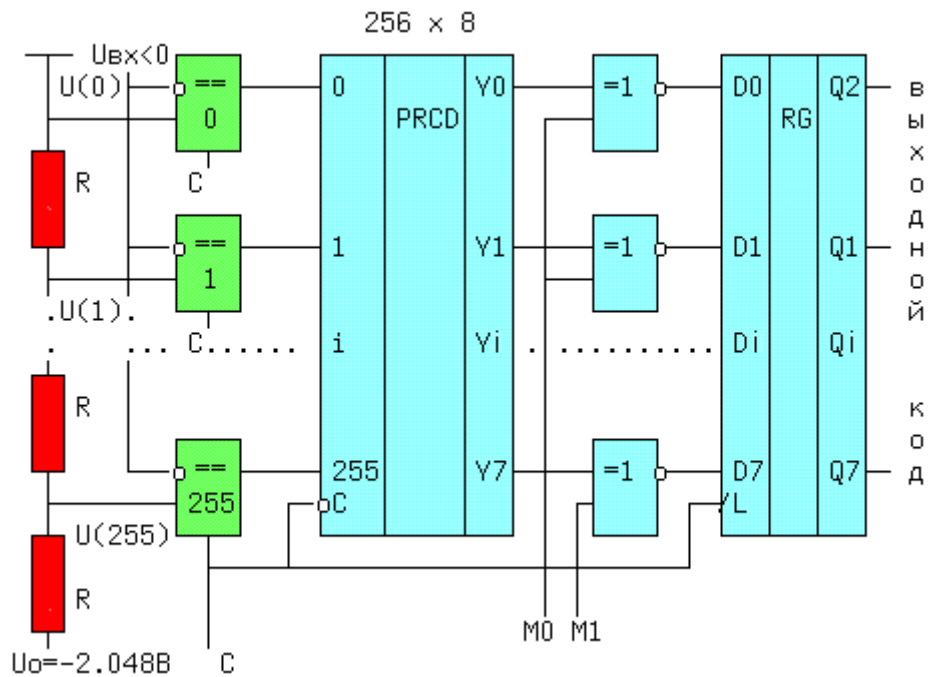
Описанный процесс производится в общей сложности n-раз. В конце цикла преобразования схема управления вырабатывает импульс готовности $\sim\text{RDY}$, который записывает полученный код в выходной регистр. Этот же импульс выводится наружу, для оповещения. Время преобразования $T_{\text{преобр}} = t_{\text{clk}} * n$, где $t_{\text{clk}} = t_{i+1} - t_i$ период повторения тактовых импульсов внутреннего генератора. Временные диаграммы и условное обозначение АЦП приведены рисунку.



По этому принципу действия выпускаются преобразователи типов 572ПВ1 и 1113ПВ1(А..В). Зависимость прямого двоичного кода D от входного напряжения: $D = \lfloor (U_{\text{вх}} * 2^n) / U_0 \rfloor$, где D десятичный эквивалент кода на входе АЦП.

5.5 АЦП ПАРАЛЛЕЛЬНОГО ТИПА

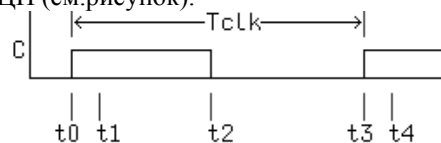
В таком АЦП весь диапазон входного напряжения разбивается на 2^n интервалов. Каждому интервалу соответствует опорное напряжение $U_0(i)$, снимаемое с делителя напряжения, и свой аналоговый компаратор, сравнивающий $U_{\text{вх}}$ с $U_0(i)$.



Для любого входного напряжения в диапазоне $(0 \dots |U_0|)В$ найдется такой i -ый компаратор, входное напряжение на котором будет больше или равно опорному $U(i)$. В этом случае на выходе этого компаратора напряжений и на выходах всех компараторов с номерами меньшими i появится "1", а на выходах остальных "0". **Приоритетный шифратор** сформирует двоичный код, равный наивысшему номеру входа на котором еще присутствует единица. Полученный код через управляемые инверторы/повторители, выполненные на элементах равнозначности, защелкивается в выходном регистре. Учитывая логику работы шифратора, заключающуюся в том, что если на его входах с 1-го по $(n-1)$ -ый одни нули, то единица обязательно должна быть на нулевом входе, можно сэкономить на нулевом компараторе. В этом случае нулевой вход шифратора постоянно подключен к "1", и если входное напряжение находится в пределах $0 \leq |U_{вх}| < |U(1)|$, то нулевой код на выходе генерируется автоматически. Элементы **ИСКЛЮЧАЮЩЕЕ-ИЛИ-НЕ** при значении $M_i = 0$ инвертируют выходной сигнал шифратора, а при $M_i = 1$ повторяют его. Зависимость выходного кода от режима дана ниже:

M1	M0	Выходной код
1	1	прямой
0	0	обратный
0	1	дополнительный прямой
1	0	дополнительный обратный.

Быстродействие достигается, как за счет параллельного принципа работы, так и за счет конвейерного передвижения информации внутри АЦП (см. рисунок).



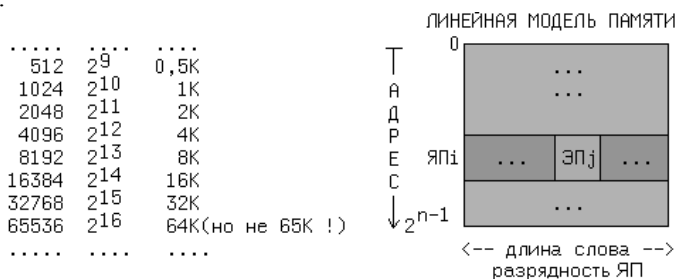
В момент t_0 положительным фронтом сигнала C происходит защелкивание кода от предыдущего цикла преобразования. В момент t_1 компараторы открываются и начинается сравнение входного напряжения с опорным в текущем цикле. Когда тактовый сигнал C станет равным нулю (момент t_2), шифратор отпирается по входу C и начинает преобразование текущего значения $U_{вх}$ в код. Следующий цикл преобразования начинается в момент t_3 , когда производится запоминание в регистре текущего кода и его появление на выходах в момент t_4 , одновременно с началом сравнения на входах компараторов следующего значения напряжения. **Время преобразования $T_{пр} = T_{clk}$, т.е. примерно на порядок меньше, чем у АЦП последовательных приближений.** По такой схеме выполняются преобразователи типа 1107ПВ1,..5.

6. ЗАПОМИНАЮЩИЕ УСТРОЙСТВА (ПАМЯТЬ)

Для хранения информации в микропроцессорных системах используются запоминающие устройства на основе полупроводниковых материалов, а также магнитные и оптические внешние носители. Внутренняя память компьютера представлена в виде отдельных интегральных микросхем (ИМС) собственно памяти и элементов, включенных в состав других ИМС, не выполняющих непосредственно функцию хранения программ и данных - это и внутренняя память центрального процессора, и видеопамять, и контроллеры различных устройств.

Внутренняя или основная память может быть двух типов: оперативное запоминающее устройство (ОЗУ) или ЗУ с произвольной выборкой (ЗУПВ) и постоянное ЗУ (ПЗУ). ОЗУ, кроме того, обозначается - (RAM, Random Access Memory), а ПЗУ - (ROM, Read Only Memory). Получила также распространение Флэш(Flash) память, имеющая особенности и ОЗУ и ПЗУ и энергонезависимая память (Nonvolatile - NV). Последнее название условно, так как ПЗУ и Флэш память, также энергонезависимы. В ОЗУ коды в соответствии с решаемыми задачами постоянно изменяются и полностью пропадают при выключении питания. В ПЗУ хранятся управляющие работой ЭВМ стандартные программы, константы, таблицы символов и другая информация, которая сохраняется и при выключении компьютера. ОЗУ подразделяются на статическую память (SRAM), динамическую (DRAM), регистровую (RG). ПЗУ могут быть: масочными - запрограммированными на заводе изготовителе (ROM), однократно-программируемыми пользователем ППЗУ (PROM или OTP), многократно-программируемыми (репрограммируемыми) пользователем ППЗУ с ультрафиолетовым стиранием (EPROM) или с электрическим стиранием (EEPROM, Flash). Широкое распространение нашли также программируемые логические матрицы и устройства (PLM, PML, PLA, PAL, PLD, FPGA и т.д.) с большим выбором логических элементов и устройств на одном кристалле.

В зависимости от типа ЗУ элементом памяти (ЭП) может быть: триггер, миниатюрный конденсатор, транзистор с "плавающим затвором", плавкая перемычка (или ее отсутствие). Упорядоченный набор ЭП образует ячейку памяти (ЯП). Количество элементов памяти в ячейке (длина слова) обычно кратно 2^n (1,4,8,16, 32,64..), причем величины свыше 8-ми достигаются, обычно, группировкой микросхем с меньшим количеством ЭП. Количество ЭП в ЯП иногда называется длиной слова. Основными характеристиками микросхем памяти являются: информационная емкость, быстродействие и энергопотребление. Емкость ЗУ чаще всего выражается в единицах кратных числу $2^{10} = 1024 = 1\text{К}$. Для длины слова равной биту (одному двоичному разряду) или байту (набору из восьми бит) эта единица называется килобит или килобайт и обозначается Kb или KB.



Каждой из двух в степени "n" ячеек памяти однозначно соответствует "n"- разрядное двоичное число, называемое адресом ЯП. Например, адресом 511-ой ячейки будет число $1\ 1111\ 1111(\text{BIN}) = 511(\text{DEC}) = 1\text{FF}(\text{HEX})$. В программах адреса употребляются в 16-ном формате. Емкость ЗУ часто выражается произведением двух чисел $2n * m$, где $2n$ - число ячеек памяти, а m - длина слова ячейки, например $8\text{К} * 8$ (м/с 537РУ17), т.е. 8192 ячейки размером в один байт. В некоторых справочниках для этой же микросхемы приводится обозначение емкости одной цифрой 64Кбит, что никак не отражает внутреннюю организацию этой микросхемы, такую же емкость могут иметь м/с с организацией $16\text{К} * 4$, $64\text{К} * 1$ и т.д.

Для создания элементов запоминающих устройств, в основном, применяют СБИС со структурой МДП (металл-диэлектрик-полупроводник) на основе кремния (в связи с тем, что в качестве диэлектрика чаще всего используют его оксид SiO_2 , то их обычно называют МОП (металл-оксид-полупроводник) структурами).

Для функционирования компьютерной системы необходимо наличие как оперативного запоминающего устройства (ОЗУ), так и постоянного запоминающего устройства (ПЗУ), обеспечивающего сохранение информации при выключении питания. ОЗУ может быть статическим и динамическим, а ПЗУ однократно или многократно программируемым.

Степень интеграции, быстродействие, электрические параметры ЗУ при записи и хранении информации, помехоустойчивость, долговременная стабильность, стабильность к внешним неблагоприятным факторам при функционировании и т.д. зависят от физических принципов работы приборов, применяемых материалов при производстве ИМС и параметров технологических процессов при их изготовлении.

На развитие микропроцессорной техники решающее значение оказывает технология производства интегральных схем.

Полупроводниковые интегральные микросхемы подразделяются на биполярные ИМС и МОП схемы, причем первые - более быстродействующие, а вторые имеют большую степень интеграции, меньшую потребляемую мощность и меньшую стоимость. Цифровые микросхемы могут по идеологии, конструкторскому решению, технологии относится к разным семействам, но выполнять одинаковую функцию, т.е. быть инвертором, триггером или процессором. Наиболее популярными семействами можно назвать у биполярных ИМС: ТТЛ (транзисторно-транзисторная логика), ТТЛШ (с диодами Шоттки), ЭСЛ (эмиттерно-связанная логика); у МДП: n-МОП и КМОП.

Базовым материалом для изготовления ИМС является кремний. Несмотря на то, что он не обладает высокой подвижностью носителей заряда ($\mu n = 1500\ \text{см}^2/\text{Вс}$), а значит, приборы на его основе теоретически

будут уступать по быстродействию приборам на основе арсенида галлия GaAs, однако система Si-SiO₂ существенно более технологична. С другой стороны, приборы на кремниевой основе (кремний-оксид кремния) обладают совершенной границей раздела Si-SiO₂, химической стойкостью, электрической прочностью и другими уникальными свойствами.

Технологический цикл производства ИМС включает:

- эпитаксиальное наращивание слоя на подготовленную подложку;
- наращивание слоя SiO₂ на эпитаксиальный слой;
- нанесение фоторезиста, маскирование и вытравливание окон в слое;
- легирование примесью путем диффузии или имплантацией;
- аналогично повторение операций для подготовки других легиро-ванных областей;
- повторение операций для создания окон под контактные площадки;
- металлизацию всей поверхности алюминием или поликремнием;
- повторение операций для создания межсоединений;
- удаление излишков алюминия или поликремния;
- контроль функционирования;
- помещение в корпус;
- выходной контроль.

Наиболее критичным для увеличения степени интеграции является процесс литографии, т.е. процесс переноса геометрического рисунка шаблона на поверхность кремниевой пластины. С помощью этого рисунка формируют такие элементы схемы, как электроды затвора, контактные окна, металлические межкомпонентные соединения и т.п. На первой стадии изготовления ИМС после завершения испытаний схемы или моделирования с помощью ЭВМ формируют геометрический рисунок топологии схемы. С помощью электронно-лучевого устройства или засветки другим способом топологический рисунок схемы последовательно, уровень за уровнем можно переносить непосредственно на поверхность кремниевой пластины, но чаще на фоточувствительные стеклянные пластины, называемые фотошаблонами. Между переносом топологического рисунка с двух шаблонов могут быть проведены операции ионной имплантации, загонки, окисления и металлизации. После экспонирования пластины помещают в раствор, который проявляет изображение в фоточувствительном материале - фоторезисте.

Увеличивая частоту колебаний световой волны, можно уменьшить ширину линии рисунка, т.е. сократить размеры интегральных схем. Но возможности этой технологии ограничены, поскольку рентгеновские лучи трудно сфокусировать. Один из вариантов - использовать сам свет в качестве шаблона (так называемое позиционирование атомов фокусированным лазерным лучом). Этим способом, осветив двумя взаимно перпендикулярными лазерными пучками, можно изготовить решетку на кремниевой пластине из хромированных точек размером 80 нм. Сканируя лазером поверхность для создания произвольного рисунка интегральных наносхем, теоретически можно создавать схемы с шириной линии рисунка в 10 раз меньшей, чем сегодняшние. Второе ограничение при литографии накладывает органическая природа фоторезиста. Путь ее решения - применение неорганических материалов, например, оксидов ванадия.

Физические процессы, протекающие в изделиях микроэлектроники (и в микросхемах памяти тоже), технология изготовления и конструктивные особенности ИМС высокой степени интеграции могут влиять на архитектуру и методы проектирования ЭВМ и систем. Естественно, уменьшение геометрических размеров транзисторов приводит к увеличению электрических полей, особенно в районе стока. Это может привести к развитию лавинного пробоя и, как следствие, к изменению выходной ВАХ МОП транзистора:

- включению паразитного биполярного транзистора (исток-подложка-сток);
- неравномерному зарядению диэлектрика у стока;
- деградации приповерхностной области полупроводника;
- пробую диэлектрика.

Поэтому необходимо уменьшение напряжения питания СБИС до 3,6, 3,3, 3 В и т.п., при этом известно, что блок питания компьютера обеспечивает обычно напряжения +5В, +12В, -12В.

Однако инжекция и зарядение диэлектрика не всегда процесс отрицательный или паразитный. Уменьшение напряжения записи информационного заряда в репрограммируемых ЗУ ниже 12 В позволяет их программировать внутри микропроцессорной системы, а не специальным устройством (программатором). Тогда для разработчика открываются большие возможности для программирования не только адреса микросхем контроллера или адаптера в пространстве устройств ввода/вывода или номера прерывания, но и творить необходимое устройство самому (если иметь такую ИМС). Однако отметим, что кроме "хозяина" это может сделать и компьютерный вирус, который будет, естественно, разрушать, а не созидать что-либо.

6.1 ОСНОВНЫЕ ХАРАКТЕРИСТИКИ ПОЛУПРОВОДНИКОВОЙ ПАМЯТИ

Полупроводниковая память имеет большое число характеристик и параметров, которые необходимо учитывать при проектировании систем:

1. *Емкость* памяти определяется числом бит хранимой информации. Емкость кристалла обычно выражается также в битах и составляет 1024 бита, 4 Кбит, 16 Кбит, 64 Кбит и т.п. Важной характеристикой

кристалла является информационная организация кристалла памяти $M \times N$, где M - число слов, N - разрядность слова. Например, кристалл емкостью 16 Кбит может иметь различную организацию: 16 Кx1, 4 Кx2 Кx8. При одинаковом времени обращения память с большей шириной выборки обладает большей информационной емкостью.

2. Временные характеристики памяти.

Время доступа - временной интервал, определяемый от момента, когда центральный процессор выставил на шину адреса адрес требуемой ячейки памяти и послал по шине управления приказ на чтение или запись данных, до момента осуществления связи адресуемой ячейки с шиной данных.

Время восстановления - это время, необходимое для приведения памяти в исходное состояние после того, как ЦП снял с ША - адрес, с ШУ - сигнал "чтение" или "запись" и с ШД - данные.

3. *Удельная стоимость* запоминающего устройства определяется отношением его стоимости к информационной емкости, т.е. определяется стоимостью бита хранимой информации.

4. *Потребляемая энергия* (или рассеиваемая мощность) приводится для двух режимов работы кристалла: режима пассивного хранения информации и активного режима, когда операции записи и считывания выполняются с номинальным быстродействием. Кристаллы динамической МОП-памяти в резервном режиме потребляют примерно в десять раз меньше энергии, чем в активном режиме. Наибольшее потребление энергии, не зависящее от режима работы, характерно для кристаллов биполярной памяти.

5. *Плотность упаковки* определяется площадью запоминающего элемента и зависит от числа транзисторов в схеме элемента и используемой технологии. Наибольшая плотность упаковки достигнута в кристаллах динамической МОП-памяти.

6. *Допустимая температура окружающей среды* обычно указывается отдельно для активной работы, для пассивного хранения информации и для нерабочего состояния с отключенным питанием. Указывается тип корпуса, если он стандартный, или чертеж корпуса с указанием всех размеров, маркировкой и нумерацией контактов, если корпус новый. Приводятся также условия эксплуатации: рабочее положение, механические воздействия, допустимая влажность и другие.

6.2 ОПЕРАТИВНЫЕ ЗАПОМИНАЮЩИЕ УСТРОЙСТВА

Полупроводниковые ЗУ подразделяются на ЗУ с произвольной выборкой и ЗУ с последовательным доступом. ЗУПВ подразделяются на:

- статические оперативные запоминающие устройства (СОЗУ);
- динамические оперативные запоминающие устройства (ДОЗУ).

ЗУ с последовательным доступом подразделяются на:

- регистры сдвига;
- приборы с зарядовой связью (ПЗС).

В основе большинства современных ОЗУ лежат комплементарные МОП ИМС (КМОП), которые отличаются малой потребляемой мощностью. Это достигается применением пары МОП транзисторов с разным типом канала: n -МОП и p -МОП. Как видно на рис. 6.1, в КМОП инверторе как при низком, так и при высоком уровне сигнала на входе один из транзисторов закрыт. Поэтому потребление энергии происходит только при переключении "1"R"0" (и обратно).

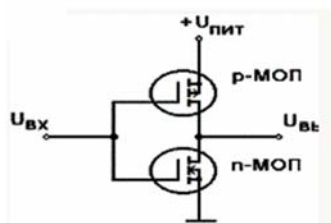


Рис. 6.1. Схема КМОП инвертора.

Чтобы реализовать на подложке n -типа не только p -канальный транзистор, но и n -канальный, последний изготавливается в так называемом "кармане", как показано на рис. 6.2

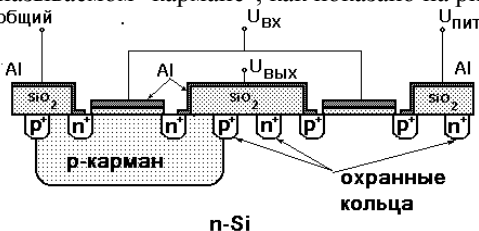


Рис. 6.2. Конструкция инвертора на КМОП транзисторах.

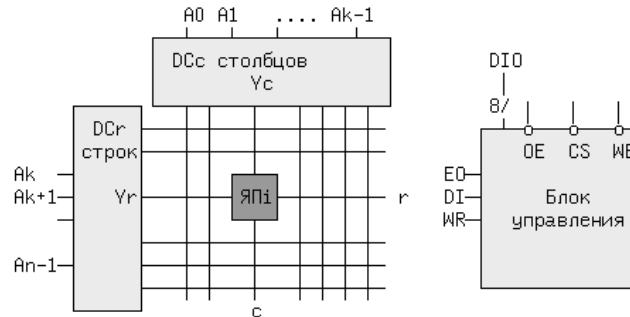
Аналогично на четырех МОП транзисторах (2 n -МОП и 2 p -МОП, включенных параллельно и последовательно) можно построить и другие базовые логические элементы "И" и "ИЛИ" и, соответственно, на их основе строятся все другие более сложные логические схемы.

Как известно, быстродействие МОП транзисторов в первую очередь ограничивается большой входной емкостью затвор-исток (подложка). Уменьшение геометрических размеров приборов (площади затвора и длины канала) при увеличении степени интеграции увеличивает граничную частоту.

Малое потребление энергии позволяет использовать КМОП ИМС с питанием от микробатареи как ПЗУ, где располагается часть операционной системы, которая осуществляет начальную загрузку всей системы (программа Setup).

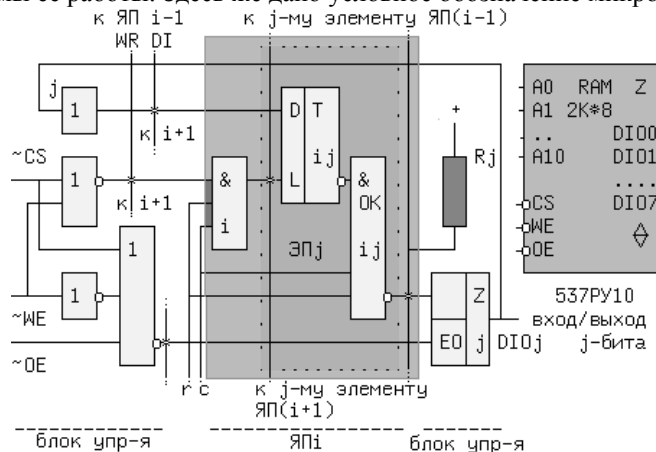
6.2.1 ОЗУ СТАТИЧЕСКОГО ТИПА

В качестве элемента памяти используется простейший D-триггер защелка. В микросхеме 537PY10 каждая ЯП состоит из восьми триггеров и располагаются ячейки на кристалле в виде прямоугольной матрицы.



На рисунке приведены обозначения: n -адресных входов ($A_0 \dots A_{n-1}$), DIO - двунаправленная восьмиразрядная шина данных, вход разрешения выходов - $\sim OE$, вход выбора микросхемы - $\sim CS$ и вход разрешения записи - $\sim WE$, который часто обозначают по другому - $\sim WR/RD$, подчеркивая этим, что при низком значении сигнала на этом входе производится запись байта, а при высоком уровне - чтение. EO, DI, WR - внутренние сигналы вырабатываемые блоком управления чтением/записью/хранением. Доступ к произвольной ЯПj производится с помощью прямоугольного дешифратора, состоящего из двух обычных дешифраторов, причем k -адресных линий заводится на дешифратор столбцов (DCc), а оставшиеся $n-k$ линий подключены к дешифратору строк (DCr). Количество строк и столбцов будет соответственно равно 2^{n-k} и 2^k , т.е. общее количество, обслуживаемых ЯП, равно $2^k * 2^{n-k} = 2^n$.

На рисунке внизу показан фрагмент внутренней структуры микросхемы, по которому можно проследить основные режимы ее работы. Здесь же дано условное обозначение микросхемы.



На рисунке схемы с открытым коллектором и третьим состоянием обозначены ОК и Z - соответственно. Точками выделен один (j-ый) из восьми элементов i-ой ячейки памяти. Схема И с номером $i = (r * 2^k + c)$ является одним из 2^n выходных узлов прямоугольного дешифратора, где r и c - номера строк и столбцов матрицы. Инверсный вход (C)hip (S)elect - $\sim CS$, во всех микросхемах, где он встречается, служит для приведения схемы в рабочее состояние низким уровнем сигнала на этом входе.

Если $\sim CS = 1$ (пассивный уровень), микросхема - не выбрана и операции с ней производить невозможно. Из рис. видно, что в этом случае на L-входе D-триггера - ноль, запись невозможна и триггер хранит ранее записанный бит. Прочитать выходной код - Q тоже нельзя, т.к. на прямом входе EO разрешения выхода запрещающий нулевой сигнал и вход/выход DIOi находится в третьем состоянии.

С поступлением $\sim CS = 0$, схемы ИЛИ-НЕ разблокируются и дальше все зависит от значений сигналов $\sim WE$ и $\sim OE$.

В режиме записи сигнал $\sim WE = 0$. Поэтому независимо от значения сигнала $\sim OE$ на входе схемы, внутренний сигнал EO, тоже равен 0, и чтение данных во время записи невозможно. На верхнем входе

элемента I_i - единица и, если на адресных входах код $An-1, An-2, \dots, A1, A0(BIN) = i(DEC)$, то сигналы на линиях Y_r и Y_c тоже равны 1 и триггер i_j прозрачен для записи входной информации DIO_j .

В режиме чтения $\sim WE=1, \sim OE=0$ и при $Y_r=Y_c=1$, выходной сигнал $\sim Q$ после инверсии элементом I_{ij} с открытым коллектором проходит на выход DIO_i .

Следует обратить внимание на то, что выходы всех 2^n j -ых элементов памяти должны подключаться к общему j -му выводу микросхемы - DIO_j . **Такое объединение выходов возможно с помощью схемного либо монтажного И(ИЛИ)**. Монтажное И(ИЛИ) не требует дополнительных схем и может выполняться на элементах с открытым коллектором или с третьим состоянием. Внутри рассматриваемой схемы j -е выходы ЭП объединены на общем резисторе R_j , служащем нагрузкой элементов $I-HE_{ij}$ с открытым коллектором.

Для увеличения информационной емкости, отдельные микросхемы группируются в банки и их одноименные выходы должны объединяться. **По этой причине выходы всех микросхем памяти также выполняются с открытым коллектором либо с третьим состоянием.**

В ЭВМ статическое ОЗУ используется в быстродействующей Cash-памяти.

6.2.2 ОЗУ ДИНАМИЧЕСКОГО ТИПА

В отличие от статических ЗУ, которые хранят информацию пока включено питание, в динамических ЗУ необходима постоянная регенерация информации, однако при этом для хранения одного бита в ДОЗУ нужны всего 1-2 транзистора и накопительный конденсатор (рис. 6.3). Такие схемы более компактны. По этой причине, при одинаковых размерах кристалла, **информационная емкость DRAM выше, чем у SRAM.**

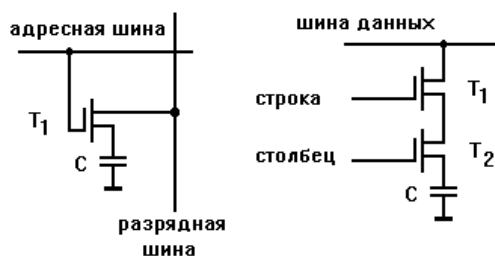


Рис. 6.3. Запоминающая ячейка динамического ОЗУ.

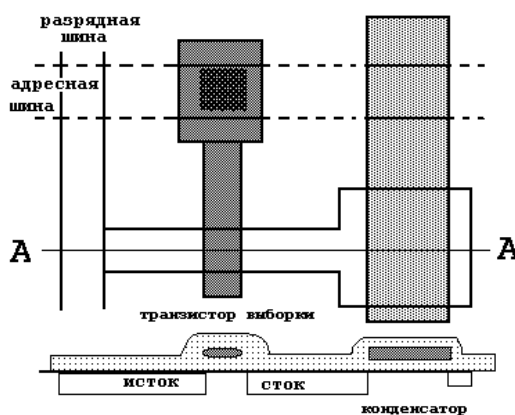


Рис. 6.4. Конструкция ячейки ДОЗУ. Снизу представлен разрез схемы по линии А-А.

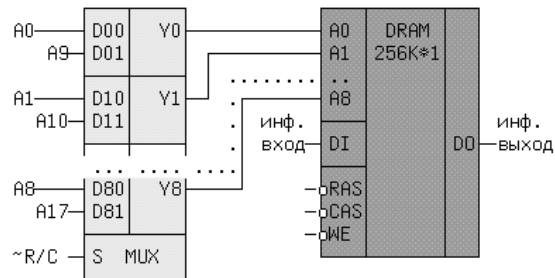
Количество адресных входов и габариты должны увеличиться. Чтобы не допустить этого, адресные линии внутри микросхемы разбиваются на две группы, например старшая и младшая половина. Две одноименные k -линии каждой группы подключаются к двум выходам внутреннего k -го демультиплексора "1 в 2", а его вход соединяется с k -ым адресным входом микросхемы. Количество адресных входов, при этом уменьшается в два раза, но зато передача адреса в микросхему должна производиться, во-первых в два приема, что несколько уменьшает быстродействие, и во-вторых потребуются дополнительный внешний мультиплексор адреса. В процессе хранения бита конденсатор разряжается. Чтобы этого не допустить заряд необходимо поддерживать.

Естественно, что в микросхеме динамического ОЗУ есть один или несколько тактовых генераторов и логическая схема для восстановления информационного заряда, стекающего с конденсатора. Это несколько "утяжеляет" конструкцию ИМС.

Чаще всего и СОЗУ, и ДОЗУ выполнены в виде ЗУ с произвольной выборкой, которые имеют ряд преимуществ перед ЗУ с последовательным доступом.

Суммируя, можно перечислить чем отличается динамическое ОЗУ от статического: 1) мультиплексированием адресных входов, 2) необходимостью регенерации хранимой информации, 3) повышенной емкостью (до нескольких Мбит), 4) более сложной схемой управления. На рисунке внизу

приведено условное обозначение м/с 565PY7 емкостью 256К*1 ($2^{18}К$) и способ подключения 18-ти линий адреса к девяти адресным входам с помощью 9-ти мультиплексов "2 в 1", например трех счетверенных селекторов-мультиплексов типа 1533КП16.



Элементы памяти расположены на кристалле в виде матрицы $512 * 512 = 2^9 * 2^9$, управляемой двумя линейными дешифраторами строк и столбцов, каждый с 9-ю адресными входами. Если сигнал строка/столбец $\sim R/C$ на входе выбора S мультиплексора, равен нулю, то $A(0..8) = Y(0..8)$ и в микросхему передается адрес строки. Этот адрес фиксируется отрицательным фронтом stroba адреса строк $\sim RAS$. При $\sim R/C = 1$ на выходы мультиплексора передается адрес столбцов $A(9..17)$, который защелкивается отрицательным перепадом stroba адреса столбцов $\sim CAS$. Вход $\sim WE$ управляет записью/чтением. Оперативная память персональных ЭВМ - (SIMM, EDO, SDRAM..) является динамической памятью. Время обращения к ней меньше 10нс, а емкость достигает 256М в одном корпусе.

6.2.3. ЗАПОМИНАЮЩИЕ УСТРОЙСТВА С ПРОИЗВОЛЬНОЙ ВЫБОРКОЙ

На рис. 6.5 показано обозначение ЗУПВ и его внутренняя структура.

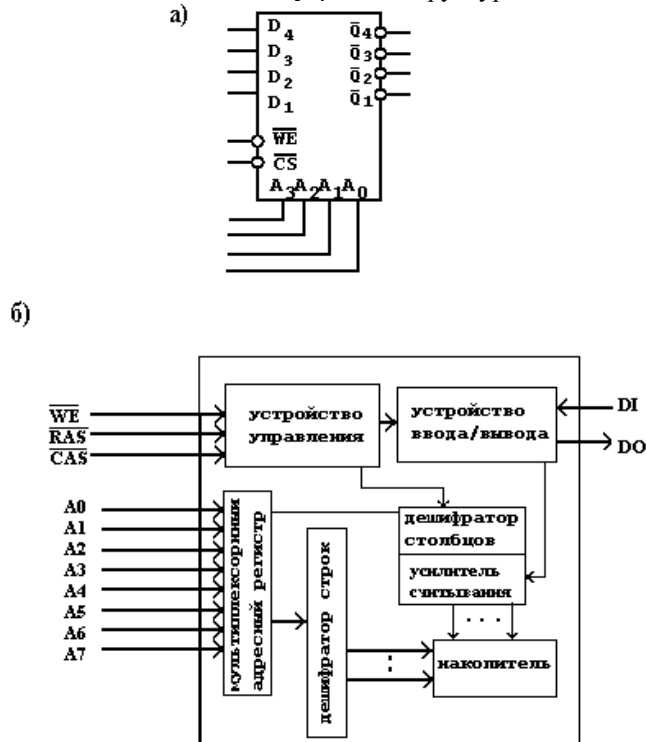


Рис. 6.5. ОЗУ с произвольной выборкой. а) ОЗУ 16x4 бит; б) ОЗУ 64Кx1 (КР565PY5)

Здесь: $D1-Dn$ (справа DI) - информационные входы; $Q1 - Qn$ (справа DO) - инверсные выходы; $A1 - An$ - адресные входы; $WE\#$ - запись/чтение; $CS\#$ (Chip Select) - выбор кристалла; $CAS\#$ (Column Address Strobe) и $RAS\#$ (Row Address Strobe) - сигнал выборки столбца и строки соответственно.

Представленное здесь ЗУПВ - это ДОЗУ с организацией хранения информации 65536 бит на 1 разряд. Накопительная матрица с однотранзисторными запоминающими элементами имеет размер 512×128 . Для уменьшения количества задействованных ножек у ИМС (16-входовый DIP корпус) применена мультипликация адреса, что видно на рисунке по наличию отдельных дешифраторов строк и столбцов. Устройство управления включает два генератора тактовых сигналов и генератор сигналов записи и обеспечивает 4 режима работы: записи, считывания, регенерации и мультипликации адреса. Время регенерации - 2 мс.

6.3. ПОСТОЯННЫЕ ЗАПОМИНАЮЩИЕ УСТРОЙСТВА

Программируемые постоянные запоминающие устройства (ППЗУ) делятся на однократно программируемые (например, биполярные ПЗУ с плавкими соединениями) и рассматриваемые здесь многократно электрически программируемые МОП ПЗУ. Это полевой транзистор с плавающим затвором и МДОП (металл-диэлектрик-оксид полупроводник) транзистор. Обычно в качестве диэлектрика используют нитрид кремния.

6.3.1 ПОЛЕВОЙ ТРАНЗИСТОР С ПЛАВАЮЩИМ ЗАТВОРОМ

Конструкция и обозначение полевого транзистора с плавающим затвором представлены на рис. 6.6.

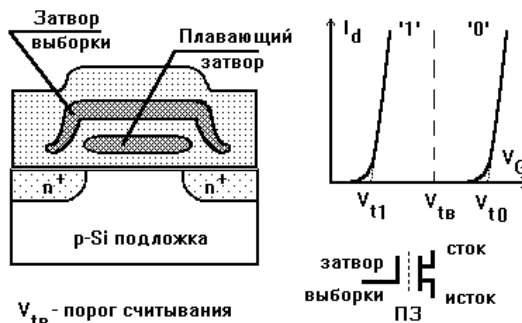


Рис. 6.6. МОП транзистор с плавающим затвором

Это р-канальный нормально закрытый МОП прибор. Здесь же показаны вольтамперные характеристики (ВАХ) транзистора в состоянии логической единицы и нуля (до и после записи информационного заряда). Плавающий затвор представляет собой область поликремния, окруженную со всех сторон диэлектриком, т.е. он электрически не связан с другими электродами и его потенциал "плавает". Обычно толщина нижнего диэлектрического слоя составляет десятки ангстрем. Это позволяет в сильном электрическом поле инжектировать электроны в плавающий затвор: - или сквозь потенциальный барьер Si-SiO₂ путем квантовомеханического туннелирования; - или над барьером "горячих" носителей, разогретых в поперечном или продольном поле при пробое кремниевой подложки.

Положительное смещение на верхнем затворе (относительно полупроводниковой подложки) вызовет накопление электронов в плавающем затворе при условии, что утечка электронов через верхний диэлектрический слой мала. Величина заряда Q, накопленного за время t, а значит, и пороговое напряжение,

определяется как $Q = \int J(t) dt$ где J(t) - величина инжекционного тока в момент времени t.

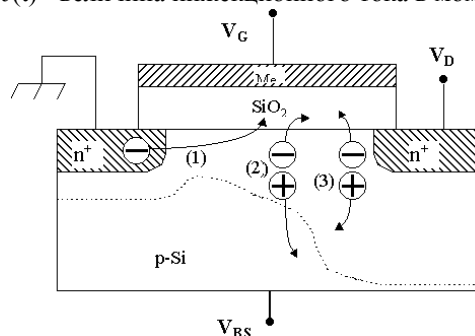


Рис. 6.7. . Инжекция горячих электронов в диэлектрик МДП-транзистора и другие процессы, проходящие при лавинном пробое подложки

Лавинный пробой подложки вблизи стока может приводить к неоднородной деградации транзистора и, как следствие, к ограничению по числу переключений элемента памяти. МДП-транзистор с плавающим затвором может быть использован в качестве элемента памяти с временем хранения, равным времени диэлектрической релаксации структуры, которое может быть очень велико и, в основном, определяется низкими токами утечки через барьер Si-SiO₂ (Фе=3.2 эВ). Fe - высота потенциального барьера. Такой элемент памяти обеспечивает возможность непрерывного считывания без разрушения информации, причем запись и считывание могут быть выполнены в очень короткое время.

6.3.2 МНОП ТРАНЗИСТОР

На рис. 6.8 приведена конструкция МНОП транзистора (металл-нитрид кремния-оксид кремния-полупроводник). Эффект памяти основан на изменении порогового напряжения транзистора при наличии захваченного в подзатворном диэлектрике положительного или отрицательного заряда, который хранится на глубоких (1.3-1.5 эВ) ловушках, в нитриде кремния вблизи границы SiO₂-Si₃N₄.

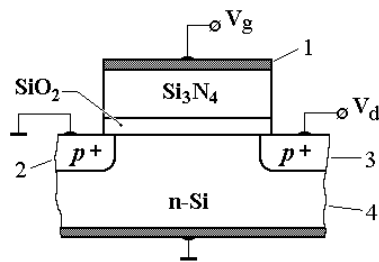


Рис. 6.8. Конструкция МНОП транзистора: 1 - металлический затвор; 2,3 - области истока и стока соответственно; 4 - подложка.

Запись информационного заряда происходит так же, как и в МОП транзисторе с плавающим затвором. Высокая эффективность захвата электронов (или дырок) связана с большим сечением захвата на ловушки (порядка 10-13 кв.см.) и большой их концентрации (порядка 10¹⁹ куб.см.).

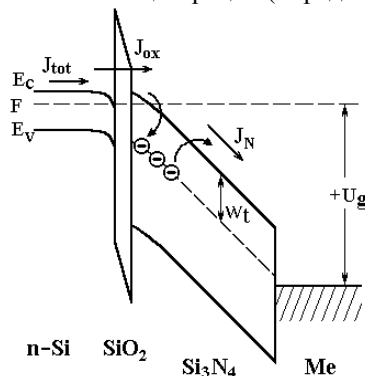


Рис. 6.9. Операция записи в МНОП-структуре (зонная диаграмма).

Ток в окисле J_{ox} - туннельный ток инжекции, ток J_N - ток сквозной проводимости в нитриде. В случае прямого туннелирования электронов в зону проводимости SiO₂ сквозь треугольный барьер плотность тока

определяется уравнением Фаулера-Нордгейма $J_{ox} = AE^2 \cdot \exp\left(-\frac{E_b}{E}\right)$, где А - константы, Е - напряженность электрического поля. По мере накопления заряда поле на контакте уменьшается, что приводит к уменьшению скорости записи. Эффективность записи зависит также и от тока сквозной проводимости в нитриде.

Стирание информации (возврат структуры в исходное состояние) может осуществляться: - ультрафиолетовым излучением с энергией квантов более 5.1 эВ (ширина запрещенной зоны нитрида кремния) через кварцевое окно;

- подачей на структуру импульса напряжения, противоположного по знаку записываемому.

В соответствии с ГОСТом такие ИМС имеют в своем названии литеры РФ и РР соответственно. Время хранения информации в МНОП транзисторе обусловлено термической эмиссией с глубоких ловушек и составляет порядка 10 лет в нормальных условиях. Основными факторами, влияющими на запись и хранение заряда, являются электрическое поле, температура и радиация. Количество электрических циклов "запись-стирание" обычно не менее 10⁵.

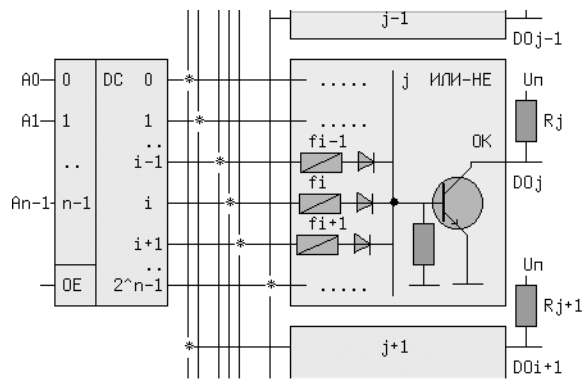
6.3.3 РЕПРОГРАММИРУЕМОЕ ПЗУ

Микросхемы РПЗУ допускают **многократное, до сотен тысяч, циклов перепрограммирования** на рабочем месте пользователя. Это свойство обеспечивается применением ЭП на МОП транзисторах с "плавающим затвором". Толщина изоляции "плавающего затвора" порядка 200 ангстрем. Информация считается стертой, если на выходах всех ЭП высокий уровень сигнала. В режиме программирования, на выбранный по адресной шине ЭП, куда необходимо записать ноль, подается импульс. **Стирание осуществляется УФ-излучением (EPROM), либо электрически (EEPROM)**. При этом все ячейки переводятся в состояние "1". Записанная информация сохраняется в течение нескольких лет. Одной из м/с этого типа является EPROM 573РФ2 с организацией (2К * 8) и тристабильными выходами.

В **Flash**-памяти толщина изоляции "плавающего затвора" менее 100 ангстрем, поэтому при перепрограммировании используется туннельный эффект.

6.3.4 ОДНОКРАТНО ПРОГРАММИРУЕМЫЕ ПЗУ ПЗУ (PROM,OTP)

в качестве элементов памяти имеют набор плавких перемычек, которые в процессе программирования переплавляются импульсами тока. На рис.75 приведена схема ПЗУ.



Для любого значения адресных сигналов найдется единственный выход дешифратора "i" на котором сигнал $Y_i = 1$, на остальных выходах будут нули. Потенциал базы j-транзистора будет зависеть в этом случае только от наличия или отсутствия перемычки f_i . Если перемычка есть ($f_i=1$), то на базе высокий уровень сигнала, транзистор открыт и выходной сигнал $DO_j = 0$. Если перемычки нет ($f_i=0$), то $DO_j=1$. Пережиганием перемычек в соответствующих j-битах всех адресов, в микросхему записывается программа и/или данные. Выходной сигнал дешифратора $Y_i = m_i$, где m_i - минтерм входных переменных $A_0..A_{n-1}$. Транзистор с перемычками выполняет роль ИЛИ-НЕ, поэтому сигнал

$$\sim DO_i = \bigvee_{i=0}^{2^n-1} (f_i * m_i), \text{ где } m_i = \bigwedge_{k=0}^{n-1} A_k$$

причем $\neg A_k = \sim A_k$, если A_k во входном наборе равна 0 и $\neg A_k = A_k$, если $A_k = 1$. Эти формулы соответствуют формулам СДНФ (12), поэтому с помощью ПЗУ с n-адресными входами и m-выходами можно реализовать любые m-логических функций с n-переменными (учитывая инверсию сигнала выходным каскадом).

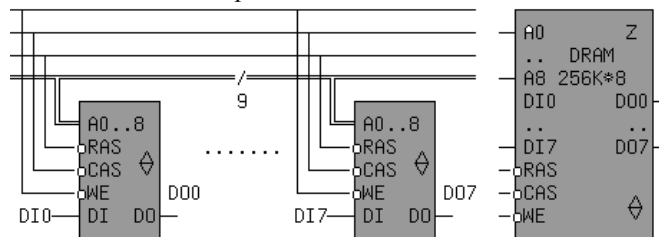
6.4 ЭНЕРГОНЕЗАВИСИМАЯ ПАМЯТЬ (NVS RAM)

Всякая память сохраняющая данные при отключении внешнего источника питания может считаться энергонезависимой - NonVolatile Memory, однако этот термин больше утвердился за статической оперативной памятью:

- с встроенной в микросхему литиевой батареей большой емкости .
- с дополнительной EEPROM на том же кристалле, причем обмен данными между SRAM и EEPROM производится либо программно либо автоматически при падении/восстановлении напряжения

6.5 УВЕЛИЧЕНИЕ РАЗРЯДНОСТИ ЯЧЕЙКИ ПАМЯТИ (СЛОВА)

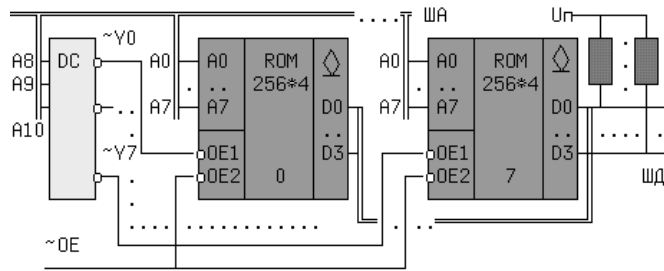
Если требуется хранить данные размером в n-бит, а длина слова ячейки памяти m-бит ($n > m$), то прибегают к наращиванию длины слова. Делается это путем объединения n/m - микросхем в группы, причем все одноименные входы, кроме информационных, соединяются между собой. Например, если требуется динамическая память емкостью 256К с длиной слова равной байту, то необходимо объединить $8 / 1 = 8$ микросхем типа 565PY7, как это показано на рис.



На рисунке девять линий адреса показаны в виде шины - т.е. группы проводников, объединенных по функциональному признаку.

6.6 УВЕЛИЧЕНИЕ КОЛИЧЕСТВА ЯЧЕЕК ПАМЯТИ

Увеличение адресного пространства ЗУ в 2^k раз требует столько же микросхем памяти и "k" дополнительных линий адреса, к уже имеющимся "n" линиям $A_{n+k-1}, .. A_{n+0}, A_{n-1}, A_{n-2}, .. A_1, A_0$. Дополнительные адресные линии $A_{n+k-1} .. A_{n+0}$ должны разбивать требуемое адресное поле на 2^k неперекрывающихся интервалов, покрываемых объемом памяти каждой отдельной микросхемы. Для решения этой задачи требуется дополнительный дешифратор "k в 2^k ". Например, если нужен блок ПЗУ емкостью 2К*4, то потребуется 8 микросхем 256*4 типа 541PT1 и один дешифратор "3 в 8", как показано на рис.



Одноименные j- е выходы микросхем с открытым коллектором соединены с общим нагрузочным резистором Rj. Три старших дополнительных бита адреса A10,A9,A8 выбирают одну из восьми микросхем, а восемь младших бит адреса выводят содержимое одной из 256-ти ячеек памяти на шину данных (ШД). Пусть на шину адреса (ША) поступил код A10..A0 = 11000011010 = 61A. На всех выходах дешифратора, кроме шестого (A10..A8 = 110 =6) будет высокий уровень. Нулевой сигнал ~Y6 = 0 на входе ~OE1 шестой микросхемы разрешит прохождение записанной информации на выходы, а код 1 1010 = 1A(HEX) = 26(DEC) на адресных входах A7..A0 извлечет содержимое 26-ой ЯП и поместит его на четыре линии шины данных (ШД).

Особенностью метода является необходимость объединения по ИЛИ(И) одноименных выходов микросхем. Это можно выполнить или подключением одноименных выходов к 2ⁿ- входным схемам ИЛИ(И) для каждого разряда, или выполнять выходные структуры микросхем памяти по схеме допускающей монтажное ИЛИ(И) с открытым коллектором или с третьим состоянием, что целесообразней. **По этой причине все микросхемы памяти выпускаются с такими выходами.**

6.7 ПРОГРАММИРУЕМЫЕ ЦИФРОВЫЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ

Проектирование современных цифровых устройств невозможно без использования программируемых цифровых ИС (ПЦИС). Они обладают следующими преимуществами перед дискретными элементами: 1)Уменьшение габаритов устройства, 2)Увеличение быстродействия, 3)Повышение надежности, 4)Защита от копирования результатов разработки, 5)Беспрецедентная скорость разработки и модификации проекта, 6)Разработку и модификацию устройства может вести потребитель на своем рабочем столе.

СТРУКТУРА ПЦИС

Схемные характеристики большинства ПЦИС основаны на реализации диз'юнктивной нормальной формы (ДНФ) с помощью элементов И,ИЛИ,ИСКЛЮЧАЮЩЕЕ ИЛИ и инверторов. В состав ПЦИС входят также триггеры, мультиплексоры конфигурации буферы (прямые, инверсные, тристабильные) и программируемые перемычки. Потребительские свойства разрабатываемой потребителем схемы складываются, т.о. из жесткой топологии, закладываемой на заводе и из схемных особенностей проекта программируемых разработчиком (потребителем). Основой ПЦИС является набор матриц И и ИЛИ и макроячеек, включающих триггеры, буферы входов/выходов, элементы управления и обратные связи. Укрупненная структурная схема ПЦИС показана на рис. 1.



Рис. 1

Входы элементов И матрицы И принято обозначать на схемах (не по ГОСТ'у между прочим) как на рис.2 слева. В середине то же по ГОСТ.



Рис. 2

В незапрограммированном виде перемычки находятся на месте. Удаляя (значок X) с помощью программатора перемычки можно получить любое **логическое произведение (терм) входных переменных**. На рис.2 перемычка от линии x1 до соответствующего входа И удалена. Обычно на входы матриц И заводятся не только прямые, но и инверсные значения переменных. Выходы матриц И, как и положено в ДНФ подключаются к элементам ИЛИ. Внимательно изучите рис.3 и особенно обозначение пересечений без соединения и с соединением проводников.

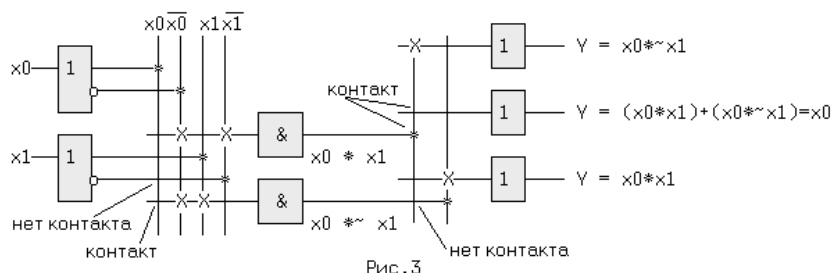


Рис. 3

Выход элемента ИЛИ подключен через управляемый инвертор/повторитель, выполненный на ИСКЛ.ИЛИ ($=1$), во-первых к входу триггера, во-вторых через мультиплексор MUX1 и управляемый тристабильный буфер к выходу.

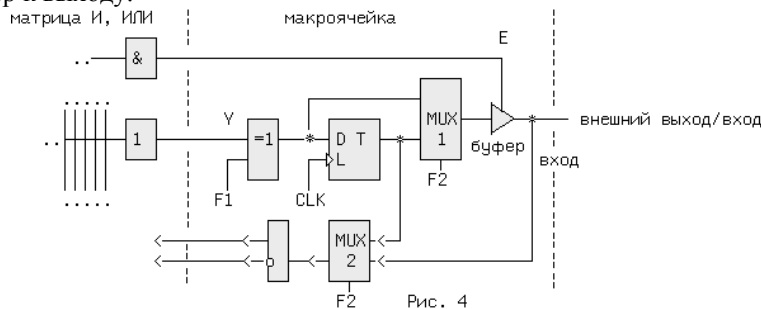


Рис. 4

Если буфер переведен в третье состояние сигналом E, внешний вывод микросхемы "выход/выход" может служить входом. Через MUX2, также может заводиться сигнал обратной связи с выхода триггера. Сигналы от перемычек F(use)1 и F(use)2 поступают на управляющие входы мультиплексоров "2->1" обеспечивая подключение одного из двух входов к единственному выходу, каждого MUX. Программирование ПЦИС под конкретную задачу может многократно производиться конфигурированием перемычек с помощью специальных программаторов под управлением САПР.

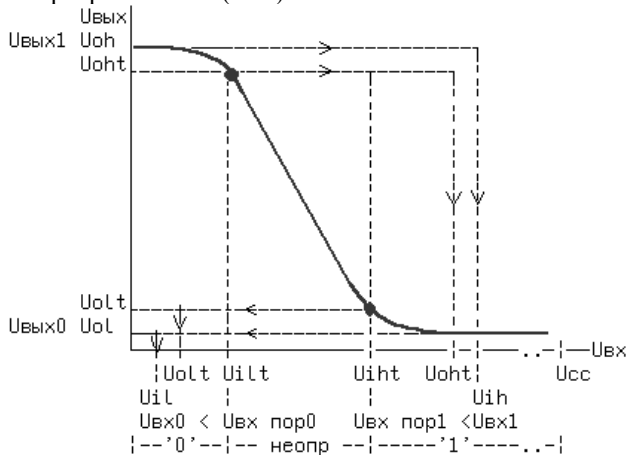
7. ПРИМЕНЕНИЕ ЦИФРОВЫХ УСТРОЙСТВ

7.1 ПЕРЕДАТОЧНАЯ ХАРАКТЕРИСТИКА

В зависимости от схемотехники и технологии основного (базового) логического элемента (ЛЭ) существует несколько типов микросхем:

- TTL(Ш) - транзисторно-транзисторная логика с диодами Шоттки или без них;
- КМОП / n-МОП - с комплементарными или n-МОП транзисторами;
- ЭСЛ - эмиттерно-связанная логика;
- МОПТШ - логика на арсенид-галлиевых МОП структурах с диодами Шоттки.

Важнейшей характеристикой базового ЛЭ, в литературе называемого также вентиляем, является передаточная характеристика инвертора $U_{\text{вых}} = f(U_{\text{вх}})$.



$U_{\text{вых1}}/U_{\text{оht}}$ - напряжение на выходе ЛЭ, соответствующее логической единице - "1". $U_{\text{вых1пор}}/U_{\text{оht}}$ - пороговое напряжение на выходе ЛЭ, еще соответствующее - "1". $U_{\text{вых0}}/U_{\text{ол}}$ - напряжение на выходе ЛЭ, соответствующее логическому нулю - "0". $U_{\text{вых0пор}}/U_{\text{олт}}$ - пороговое напряжение на выходе ЛЭ, еще соответствующее - "0". $U_{\text{вх1}}/U_{\text{iht}}$ - напряжение на входе ЛЭ, соответствующее логической единице - "1". $U_{\text{вх1пор}}/U_{\text{iht}}$ - пороговое напряжение на входе ЛЭ, еще соответствующее - "1". $U_{\text{вх0}}/U_{\text{ил}}$ - напряжение на входе ЛЭ, соответствующее логическому нулю - "0". $U_{\text{вх0пор}}/U_{\text{илт}}$ - пороговое напряжение на входе ЛЭ, еще соответствующее - "0". $U_{\text{сц}}$ - напряжение источника питания ЛЭ.

Чем больше разница между вых/вх сигналами и соответствующими им пороговыми значениями, тем выше помехоустойчивость ЛЭ.

7.2 СРАВНИТЕЛЬНЫЕ ХАРАКТЕРИСТИКИ НЕКОТОРЫХ ТИПОВ МИКРОСХЕМ

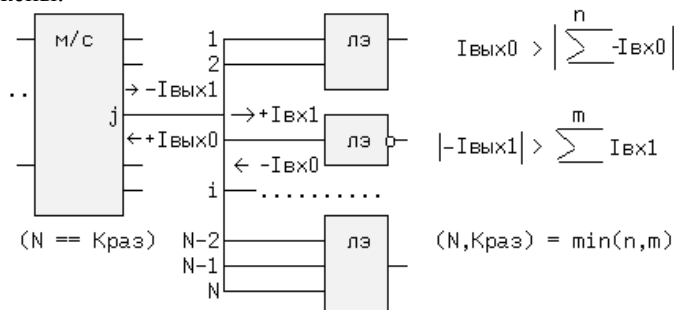
В таблице приведены усредненные типовые значения некоторых параметров микросхем, выполненных по различным технологиям.

Наименов. параметра	Обозн. меж/от	Ед. изм.	СЕРИЯ МИКРОСХЕМ			
			KP1533	KP1554	K1500	K6500
Технология			ТТЛШ	КМОП	ЭСЛ	(GaAs)
Аналог			74ALS	74AC	100K	10G000
Напр.питан	Ucc/Uп	В	5+-10%	2..6	(-5..2, -2)+-5%	4+-0.2, -2.45+-0.12
Диап.тем-р	T/T	оС	-10..+70	-40..+85	-10..+75	-10..+70
Увх.порог. лог.1 лог.0	Uih/ Uвх1	В	2.0	0.8	-1.475	1.5
	Uil/ Uвх0	В	0.8	0.2	-1.165	-0.2
Увых.лог.1 лог.0	Uoh/ Uвых1	В	3.2	Uп-0.1	-1.81	0.9... 1.5
	Uol/ Uвых0	В	0.5	0.1	-0.88	-0.2..
Iвхода	Iih/ Iвх1	мкА	20	1.0	0.5	1.0
	Iil/ Iвх0	мкА	-200	-1.0	-350	-0.5
Iвых.макс. для эл-тов с повышен. Кразветвл.	Ioh/ Iвых1	мА	-24	-24	±20	±30
	Iol/ Iвых0	мА	15	24		
P потребл. на один лэ при f=1МГц	Rcc/ Rp	мВт	1.3	0.5	40	4
Частота переключ. D-триггера	Fmax/ Fмакс	МГц	50	140	300	1000
Тип. время задержки инвертора	tрав/ тэд.р. ср.	нс	9	7	1.3	0.2

В различных справочниках приведенные выше значения могут незначительно отличаться друг от друга.

7.3 КОЭФФИЦИЕНТ РАЗВЕТВЛЕНИЯ (Краз,N)

Коэффициент разветвления или нагрузочная способность - максимальное число входов которые можно подключить к отдельному выходу микросхемы (м/с). Причем сумма входных токов должна быть меньше выходного тока отдельного выхода м/с. Если м/с имеет несколько выходов, то суммарный ток всех выходов не должен превышать паспортного значения для данной микросхемы, даже если отдельные выходы микросхемы будут недогружены.



Для определения N находят отдельно две суммы входных токов для логического 0 и 1 на j-выходе. Минимальная сумма и будет Краз. m, n - целые значения.

7.4 СОПРЯЖЕНИЕ РАЗЛИЧНЫХ СЕРИЙ МИКРОСХЕМ

Внизу дана таблица соответствия некоторых отечественных и зарубежных серий микросхем, выполненных по двум наиболее распространенным технологиям КМОП и ТТЛ. В новых разработках рекомендуется применять серии КМОП (например 1554, 1564, 1594 и др.) и 1533 (АС, НС, АСТ, НСТ, FCT и

ALS). Преимуществом обладают КМОП серии, число которых превышает 25 наименований по сравнению с ТТЛ(Ш) - около восьми.

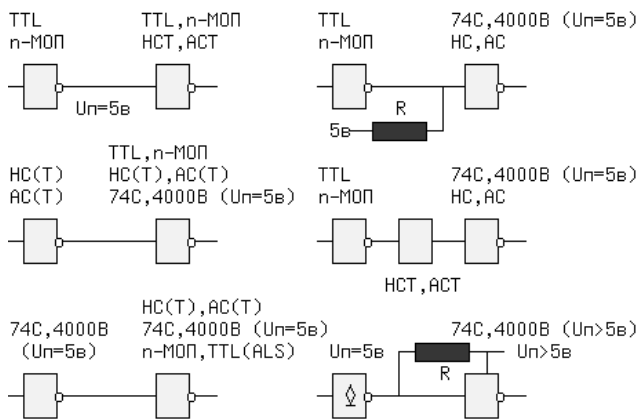
КМОП			ТТЛ		
отеч	заруб	+Uп, В	отеч	заруб	+Uп, В
164, 176	4000 (74С)	3..15; 9	155	74	5
561, 564	4000А	3..15	158	74L	5
1561	4000В	3..18	131	74Н	5
1554	74АС	2..6	555	74LS	5
1564	54/74НС	2..6	531	74S	5
1594	АСТ	2..6	1533	74ALS	5
-	FCT	2..6	1531	74F	5
-	АСQ/АСТQ	2..6	-	FASTr	5
-	FCTx/FCTxT	2..6	-	BCT	5

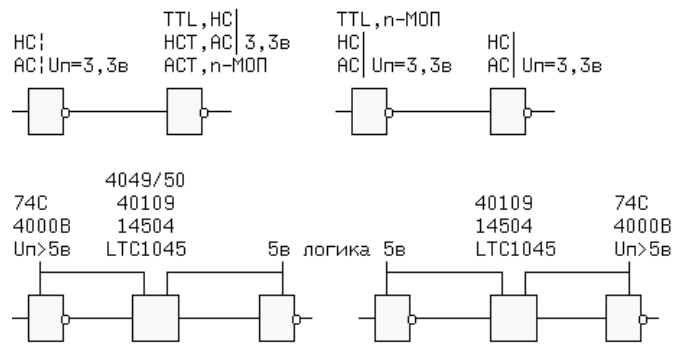
В практике иногда встречается ситуация, когда в одном устройстве встречаются микросхемы различных серий и даже технологий. Например, если входная частота сигнала равна 1024МГц, то для ее измерения не обязательно использовать только ЭСЛ микросхемы с высоким быстродействием, но и с высоким потреблением. Достаточно взять только один ЭСЛ счетчик/делитель на 16, а выходной сигнал 64МГц можно считать и обрабатывать менее быстродействующими микросхемами с меньшим энергопотреблением. Передаточные характеристики ЛЭ различных серий и технологий различаются, поэтому соединять непосредственно такие ЛЭ чаще всего нельзя - требуются дополнительные элементы (схемы) сопряжения. Количество вариантов сопряжения растет в геометрической прогрессии, поэтому остановимся на КМОП и ТТЛ м/схемах (см. таблицу). Остальные варианты см. в справочниках, например сопряжение ЭСЛ - ТТЛ (Логические ИС КР1533 и КР1554. "Бином". 1993г., стр.24).

Таблица

К \ ОТ	К					4000В	4000В
	TTL	НСТ АСТ	НС АС	НС, АС Un = 3, 3в	n-МОП	74С Un= 5в	74С Un=10в
TTL	+	+	OKR	+	+	OKR	R, ПУ
НСТ, АСТ	+	+	+	-	+	+	R, ПУ
НС, АС	+	+	+	-	+	+	R, ПУ
НС, АС (Un=3, 3)	+	+	-	+	+	OKR	R, ПУ
n-MOS	+	+	OKR	+	+	OKR	R, ПУ
4000В, 74С (5в)	+-	+	+	-	+	+	R, ПУ
4000В, 74С (10в)	ПУ	ПУ	ПУ	ПУ	ПУ	ПУ	+

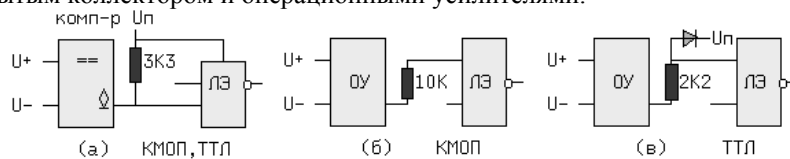
+ : обозначает, что микросхемы сопрягаются в указанном направлении, +- : сопрягаются с ограниченным коэффициентом разветвления по выходу, OKR : применяется открытый коллектор или резистор, подключенный к +5в или промежуточный элемент НСТ, R, ПУ : используется резистор, подключенный к +10в или элементы 40109, 14504 или преобразователь уровней LTC1045, ПУ : должны применяться элементы 74С901/2, 4049/50, 14504 или LTC1045. На основе таблицы внизу даются развернутые схемы сопряжения.





7.5 УПРАВЛЕНИЕ ЛОГИЧЕСКИМИ СХЕМАМИ ОТ КОМПАРАТОРОВ И ОПЕРАЦИОННЫХ УСИЛИТЕЛЕЙ

Помимо аналого-цифровых преобразователей (АЦП), работой цифровой логики могут управлять операционные усилители (ОУ) и компараторы, преобразующие аналоговый сигнал $U_{вх} = (U_+ - U_-)$ в перепад напряжения: $U_{вых} = "1"$ при $(U_+ > U_-)$ и $U_{вых} = "0"$ при $(U_+ \leq U_-)$ для компараторов и $U_{вых} = "-1"$ если $(U_+ \leq U_-)$ для ОУ. Ниже на рисунке приведены схемы сопряжения логических элементов с компараторами с открытым коллектором и операционными усилителями.



В схеме (а) выходной каскад компаратора и логический элемент питаются одним напряжением, поэтому согласование уровней лог.0 и 1 выполняется автоматически. В схеме (б) напряжение на выходе ОУ может значительно превышать уровни: $(U_{вых-}) < \text{лог.0}$ а $(U_{вых+}) > U_п$, но т.к. входы КМОП микросхем защищены диодами, ограничивающими входные сигналы 0 и $U_п$, то дополнительных внешних ограничителей не требуется. В ТТЛ(Ш) микросхемах (в) все входы имеют диоды, ограничивающие входной сигнал снизу на уровне нуля, а для ограничения входного сигнала сверху требуется внешний диод. Резисторы служат для уменьшения входных токов ЛЭ, чтобы не пережечь ограничительные диоды. В схеме (а) резистор к тому же является нагрузкой компаратора с открытым коллектором.

7.6 ОПРЕДЕЛЕНИЯ НЕКОТОРЫХ ПАРАМЕТРОВ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ

Ниже приведены некоторые параметры в отечественном по ГОСТ 19480-89 и международном обозначении.

tзд.р.1,0 / tPHL - время задержки распространения при включении. Интервал времени между входным и выходным импульсами, в течение которого выходной сигнал интегральной микросхемы (ИМС) переходит от Н к Л уровню, измеренный на уровне 0,5 или на других заданных значениях.

tзд.р.0,1 / tPLH - то же - от Л к Н уровню.

tзд.р.ср / tPAV - среднее время задержки распространения.

t1,0 / tTHL - время перехода при включении ИМС. Время, в течение которого выходное напряжение ИМС переходит от Н к Л уровню, измеренное на уровне 0,1 и 0,9 или на других заданных значениях.

t0,1 / tTLH - то же - от Л к Н уровню.

tуст / tSU - время установления входного сигнала. Интервал времени между началом сигнала на одном заданном входе и активном переходе на другом заданном входе.

ty / tH - время удержания. Время, в течение которого сигнал удерживается на заданном входе после активного перехода на другом заданном входе.

Краз / N - коэффициент разветвления по выходу. Число единичных нагрузок, которые можно подключить к выходу ИМС.

Коб / Ni - коэффициент объединения по входу. Число входов ИМС, по которым реализуется ЛФ.

Uп / Uсс - напряжение источника питания ИМС.

СПИСОК ЛИТЕРАТУРЫ

1. Галкин В.И. Промышленная электроника. – Мн.: Вышэйшая школа, 1989.
2. Гусев В.Г., Гусев Ю.М. Электроника. – М.: Высшая школа, 1991.
3. Гутников В.С. Интегральная электроника в измерительных устройствах. – Ленинград: Энергоатомиздат, 1990.
4. Шило В.Л. Популярные цифровые микросхемы. – М.: Металлургия, 1988.
5. Фролкин В.Т., Попов Л.Н. Импульсные цифровые устройства. – М.: Радио и связь, 1992.
6. Быстров Ю.А., Мироненко И.Г. Электронные цепи и устройства. – М.: Высшая школа, 1999.
7. Бирюков С.А. Применение цифровых микросхем серий ТТЛ и КМОП. – М.: МК, 2000.

8. Мняен М.Г. Физика машинной памяти. – М.: Высшая школа, 1990.
9. Калабеков Б.А. Цифровые устройства и микропроцессорные системы. – М.: Горячая линия - телеком, 2000. – 336 с.
10. Угрюмов Е.П. Цифровая схемотехника. БХВ. – Петербург, 2000.
11. Токхейм Р. Основы цифровой электроники. – М.: Мир, 1998.
12. Кучумов А.И. Электроника и схемотехника. – М.: Гелиос АРВ, 2002.
13. Новиков Ю.В. Основы цифровой схемотехники. – М. Мир, 2001.

СОДЕРЖАНИЕ

1. Кодирование информации в ЭВМ

- 1.1 Системы счисления
- 1.2 Машинное представление информации
- 1.3 Числа с фиксированной точкой
- 1.4 Диапазон целых чисел с фиксированной точкой
- 1.5 Числа с плавающей точкой (вещественные)
- 1.6 Диапазон представления вещественных чисел
- 1.7 Двоично-десятичный код
- 1.8 Буквенно-цифровой код
- 1.9 Восьмисегментный код
- 1.10 Неоднозначность представления двоичных наборов

2. Логические функции и элементы

- 2.1 Основные положения алгебры логики
- 2.2 Переключательные функции
- 2.3 Условные обозначения логических функций
- 2.4 Способы представления логических функций (ЛФ)
- 2.5 Логический базис
- 2.6 Схемные особенности логических элементов.
- 2.7 Элемент с открытым коллектором
- 2.8 Элементы И-ИЛИ-НЕ и расширители
- 2.9 Трестабильные элементы
- 2.10 Минимизация логических функций
- 2.11 Таблица Карно
- 2.12 Преобразование ЛФ к базису И-НЕ и И-ИЛИ-НЕ
- 2.13 Временные параметры логических элементов
- 2.14 Переходные процессы в логических схемах

3. Комбинационные логические схемы

- 3.1 Дешифратор
- 3.2 Демультимплексор
- 3.3 Увеличение разрядности дешифраторов и демультимплексоров
- 3.4 Мультиплексор
- 3.5 Шифратор
- 3.6 Преобразователи кода
- 3.7 Сумматор
- 3.8 Схема сравнения кодов
- 3.9 Схема контроля четности (нечетности)
- 3.10 Шинные формирователи

4. Последовательностные схемы

4.1 Триггеры

- 4.1.1 Асинхронный RS-триггер
- 4.1.2 Синхронный RS-триггер
- 4.1.3 D-триггер со статическим управлением
- 4.1.4 D-триггер с динамическим управлением
- 4.1.5 Универсальный JK-триггер
- 4.1.6 T-триггер
- 4.1.7 Взаимные преобразования триггеров

4.2 Регистры

- 4.2.1 Параллельные и последовательные регистры
- 4.2.2 Реверсивный регистр сдвига
- 4.2.3 Синхронный и асинхронный способы загрузки параллельного кода

4.3 Счетчики

- 4.3.1 Асинхронный счетчик с последовательным переносом
- 4.3.2 Синхронный счетчик с параллельным переносом

- 4.3.3 Реверсивный счетчик
- 4.3.4 Каскадное включение счетчиков
- 4.3.5 Счетчик-таймер
- 4.3.6 Применение счетчиков в измерительной технике

5. ЦАП и АЦП

- 5.1 ЦАП с матрицей резисторов типа R-2R
- 5.2 Биполярный ЦАП
- 5.3 Четырехквadrантный ЦАП
- 5.4 АЦП поразрядного уравнивания
- 5.5 АЦП параллельного типа

6. Запоминающие устройства

- 6.1 Основные характеристики полупроводниковой памяти

6.2 Оперативные запоминающие устройства

- 6.2.1 ОЗУ статического типа (SRAM)
- 6.2.2 ОЗУ динамического типа (DRAM)
- 6.2.3 Запоминающие устройства с произвольной выборкой

6.3 Постоянные запоминающие устройства

- 6.3.1 Полевой транзистор с плавающим затвором
- 6.3.2 МНОП транзистор
- 6.3.3 Repрограммируемое ПЗУ (EPROM, EEPROM)
- 6.3.4 Однократно программируемое ПЗУ (OTP, PROM)
- 6.4 Энергонезависимая память (NVRAM)
- 6.5 Увеличение разрядности ячейки памяти
- 6.6 Увеличение количества ячеек памяти
- 6.7 Программируемые цифровые ИС (PLD)

7. Применение цифровых устройств

- 7.1 Передаточная характеристика
- 7.2 Сравнительные характеристики некоторых серий ИМС
- 7.3 Коэффициент разветвления (Kраз, N)
- 7.4 Сопряжение различных серий ИМС
- 7.5 Управление логическими схемами от компараторов и операционных усилителей
- 7.6 Определения некоторых параметров ИМС по ГОСТ 2.743-82, ГОСТ 19480-89